

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Gen SASAKI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: IMAGE PROCESSING CIRCUIT OF IMAGE INPUT DEVICE

REQUEST FOR PRIORITY



ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-034979	February 12, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JC490 U.S. PTO
09/459574
12/13/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日

Date of Application:

1999年 2月12日

願 番 号

Application Number:

平成11年特許願第034979号

願 人

Applicant(s):

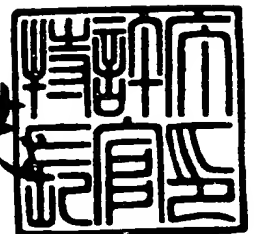
株式会社メガチップス

CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年 6月29日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平11-3046018

【書類名】 特許願

【整理番号】 P23-0156

【提出日】 平成11年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/30

【発明の名称】 画像入力装置の画像処理回路

【請求項の数】 27

【発明者】

【住所又は居所】 大阪市淀川区宮原4丁目5番36号 株式会社メガチップス内

【氏名】 佐々木 元

【特許出願人】

【識別番号】 591128453

【氏名又は名称】 株式会社メガチップス

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304470

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像入力装置の画像処理回路

【特許請求の範囲】

【請求項 1】 画像入力装置内において、撮像素子で撮像した画像について
所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理によ
り所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素デー
タを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的
画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納す
る中央制御部と

を備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次
入力される画素データと、前記主メモリ内に一旦格納された画像の画素データと
を選択するセレクタを少なくとも有することを特徴とする画像入力装置の画像処
理回路。

【請求項 2】 請求項 1 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、複数の画像処理部が順次に接続
されてなり、

最前段の画像処理部は、前記セレクタを通じて、前記主メモリ内に一旦格納さ
れた画像の画素データが選択的に入力されるように接続され、

2 段目以降の画像処理部のうちの少なくともひとつは、当該画像処理部の前段
の画像処理部から入力される画素データと、前記主メモリ内に一旦格納された画
像の画素データとが、所定の他のセレクタにより選択的に入力されるように接続
され、

最後段の画像処理部は、前記主メモリに画素データを送出するように接続され

前記最後段の画像処理部より前段の画像処理部のうちの少なくともひとつは、

次段の画像処理部と前記主メモリとの両方に画素データを送出するように接続されたことを特徴とする画像入力装置の画像処理回路。

【請求項 3】 請求項 1 または請求項 2 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニット及び前記撮像素子の動作タイミングを規律するためのタイミングジェネレータをさらに備え、

前記タイミングジェネレータは、

前記セレクトが、前記撮像素子で撮像されて順次入力される画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを同期して規律する同期制御機能と、

前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを非同期に規律する非同期制御機能とを有することを特徴とする画像入力装置の画像処理回路。

【請求項 4】 請求項 1 ないし請求項 3 のいずれかに記載の画像入力装置の画像処理回路であって、前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、当該画素データが、前記主メモリから前記リアルタイムプロセッシングユニットに対して複数回に亘って循環的に繰り返し入力されることを特徴とする画像入力装置の画像処理回路。

【請求項 5】 請求項 1 ないし請求項 4 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットと、前記主メモリと、前記中央制御部との間で送受信が行われる画素データは、4 つの画素成分のそれぞれについて所定のデータ長が与えられた 4 個の成分データから構成され、

前記 4 個の成分データのうちの少なくとも 1 個は、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データが選択的に格納されることを特徴とする画像入力装置の画像処理回路。

【請求項 6】 請求項 1 ないし請求項 5 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが4色系の画素データである場合には、当該4色系の画素データの4色の各成分のデータのそれぞれを前記各成分データに格納する一方、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが3色系の画素データである場合には、当該3色系の画素データに加えて、4色目の成分のデータに、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の1個の成分データを、各画素データの所定の特徴データとして付加する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項7】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データを加算してから再び前記主メモリ内に記憶する累積加算処理を所定の回数繰り返して実行する累積加算処理機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項8】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部と

を備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データと、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データとを、所定の重み付け係数によりそれぞれ乗算しつつ加算してから再び前記主メモリ内に記憶する循環加算処理を所定の回数繰り返して実行する循環加算処理機能を有し、

前記循環加算処理における前記重み付け係数は、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データに乗算する第一係数と、撮像素子からの各フレーム内の各画素データに乗算する第二係数とからなり、前記第一係数と第二係数との合計値が常に 1 になるよう予め設定されることを特徴とする画像入力装置の画像処理回路。

【請求項 9】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部と

を備え、

前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データに対して、シェーディング補正を含む所定の画素補正の

ために予め前記主メモリ内に記憶された所定の画素補正パラメータを乗算する画素補正機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 1 0】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、少なくとも、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能とを選択する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 1 1】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能と、請求項 9 に記載の画素補正機能とを選択する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 1 2】 請求項 1 ないし請求項 9 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

3×3 ピクセルレジスタ及び 2 個のラインメモリを有し、前記 3×3 ピクセルレジスタ内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックと、

前記画素参照ブロック内の前記注目画素に対して色成分についての画素補間を行う色選択ブロックとをさらに有し、

前記色選択ブロックは、前記画素参照ブロック内の各画素が 4 色系の 2×2 の画素配列の場合は、各画素について相互に同様の補間を行う第一演算処理によって画素補間を行う一方、前記画素参照ブロック内の各画素が 3 色系の画素配列の場合は、4 色系と同様の 2×2 の画素配列内の 4 色目の画素として前記 3 色系の画素中の一成分を使用し、各画素の画素補間処理において当該一成分と他の成分とで異なった補間を行う第二演算処理を実行する機能を有せしめられたことを特徴とする画像入力装置の画像処理回路。

【請求項 1 3】 請求項 1 2 に記載の画像入力装置の画像処理回路であって

前記 3 色系の画素配列は、赤色成分、緑色成分及び青色成分からなる RGB ベイヤーであり、

前記リアルタイムプロセッシングユニット内の前記色選択ブロックは、前記画素参照ブロック内の各画素が RGB ベイヤーの場合に、4 色系と同様の 2×2 の画素配列内の 4 色目の画素として前記緑色成分を使用し、且つ、2×2 の画素配列内で前記緑色成分が対角線状に配置されるようにし、前記緑色成分を他の成分に補間する画素補間処理において、他の成分である注目画素の上下左右の 4 画素の前記緑色成分の平均値を求めて画素補間し、または、他の成分である注目画素の上下左右の 4 画素の前記緑色成分のうち最小値及び最大値を除いた残りの 2 画素の平均値を求めて画素補間する機能を有せしめられたことを特徴とする画像入力装置の画像処理回路。

【請求項 14】 請求項 1 ないし請求項 13 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、オートフォーカスのための適正評価を行うための評価値として、画像中の画素配列のうち所定の同一成分の複数の近隣画素の差分の絶対値を一定領域について積分した高周波成分評価値を出力するオートフォーカス評価部をさらに有し、

前記オートフォーカス評価部は、

差分をとるべき一对の同一成分の画素同士の離間タイミングを選択的に変更できるセレクトと、

前記セレクトで選択された離間タイミングだけ離間した一对の同一成分の画素の差分の絶対値を演算する演算回路と、

前記演算回路から順次出力されてくる絶対値を一定回数だけ累積加算する累積加算器と

を備える画像入力装置の画像処理回路。

【請求項 15】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと

を備え、

前記リアルタイムプロセッシングユニットは、当該リアルタイムプロセッシングユニット外の前記主メモリに格納された欠陥画素アドレスを読み出し、画像中の画素データの画素アドレスが前記欠陥画素アドレスに一致したときに欠陥画素補正を行う欠陥画素補正部をさらに有することを特徴とする画像入力装置の画像処理回路。

【請求項 16】 請求項 15 に記載の画像入力装置の画像処理回路であって、

前記主メモリ内に格納された欠陥画素アドレスが複数存在する場合には、画素

配列の順次に従った順番で複数の欠陥画素アドレスが格納され、

前記リアルタイムプロセッシングユニットの欠陥画素補正部は、

複数のレジスタが連なって、主メモリ内に格納された欠陥画素アドレスが順次入力されるシフトレジスタと、

前記シフトレジスタの最終段に接続されて、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合に欠陥画素タイミング信号を出力する比較器とを備え、

前記シフトレジスタは、欠陥画素アドレスを保持し最終段の出力が最前段の入力端子にループして形成され、

前記比較器は、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合にシフトタイミング及び欠陥画素補正タイミングの信号を出力する比較器であり、

前記シフトレジスタのシフトは前記比較器から与えられたシフトタイミングの信号によって実行されることを特徴とする画像入力装置の画像処理回路。

【請求項 17】 画像入力装置内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、

前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、

少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、

前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、

前記リアルタイムプロセッシングユニットは、

Nビット長の 1 個の画素データが与えられた場合に当該 1 個の画素データについてガンマ補正処理を行うことのできるガンマ補正テーブルと、

Nビット長の1個の画素データが与えられた場合に、当該1個の画素データを前記ガンマ補正テーブルに入力する一方、(N-2)ビット長の画素データが与えられた場合に、前記ガンマ補正テーブルを4分割してなる4個のルックアップテーブルのそれぞれに(N-2)ビット長の画素データとして順次与えられた4個のデータ列を入力するよう切り換えるセクタとをさらに有することを特徴とする画像入力装置の画像処理回路。

【請求項18】 請求項1ないし請求項17のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路と、

前記色空間変換回路で変換された前記第二配列方式の画素データのうちの前記所定の特別色成分のみを入力し、当該特別色成分の値を所定の関数で数値変換して出力する特別色用ルックアップテーブルと、

前記特別色用ルックアップテーブルから出力された値を、前記第二配列方式の画素データのうちの前記所定の特別色成分以外の成分にそれぞれ乗算する乗算器と

を備える画像入力装置の画像処理回路。

【請求項19】 請求項12または請求項13に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

前記色選択ブロック内の前記画素参照ブロックで得られる緑色成分の高域成分信号と前記主メモリ内に格納された4色目の画素とを選択するセクタと、

前記セクタで選択されたデータが特徴データとして入力されて所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、

前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備える画像入力装置の画像処理回路。

【請求項 2 0】 請求項 1 2 または請求項 1 3 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

前記色選択ブロック内の前記画素参照ブロック内に格納され、または前記撮像素子から与えられた各画素のうちの 4 色目の画素と、前記 3 色系の画素配列の場合に 2×2 の画素配列内の 4 色目の画素として使用された前記 3 色系の画素中の一成分の画素とを選択するセレクトと、

前記セレクトによって選択された画素を特徴データとして入力し、当該特徴データを所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと

前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器と
を備える画像入力装置の画像処理回路。

【請求項 2 1】 請求項 1 2 または請求項 1 3 に記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路と、

前記色選択ブロックから出力された 4 色目の画素のデータまたは前記第一配列方式の画素データ中の一成分のデータの前記色空間変換回路に対する入力の可否を切り換えるセレクトと

をさらに有し、

前記色空間変換回路は、当該色空間変換回路に対して前記セレクトがデータの入力を許可したときに、入力を許可された当該データを 4 色目の画素のデータとして第二配列方式の画素データに変換する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 2 2】 請求項 1 ないし請求項 2 1 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、画像フレーム中において少なく

とも 3×3 の複数のブロックにブロック分割し、各ブロックにおける前画素の特別色成分の積分値を求めて撮像素子での撮像時における露出決定の評価値を出力する露出決定評価器をさらに有し、

前記露出決定評価器は、前記各ブロック同士の境界線を上下左右方向に任意に設定変更できるようにしたことを特徴とする画像入力装置の画像処理回路。

【請求項 2 3】 請求項 1 ないし請求項 2 2 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、

所定の色空間におけるデータ群を処理する空間フィルタと、

前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整して輪郭補正処理を行う輪郭補正処理部とをさらに有し、

前記輪郭補正処理部は、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整したデータと、前記空間フィルタ内の元データとを別々のデータとして出力する機能を有することを特徴とする画像入力装置の画像処理回路。

【請求項 2 4】 請求項 2 3 に記載の画像入力装置の画像処理回路であって

前記リアルタイムプロセッシングユニットは、

輪郭補正処理部での輪郭補正処理において、前記空間フィルタから与えられた前記高周波特別色成分の振幅が所定のしきい幅より小さいときにのみ、所定の非線形演算関数により当該振幅をゼロ値とみなして出力することで画像中のノイズ成分の除去を行うコアリングファンクションブロックと、

前記コアリングファンクションブロックにおける前記所定のしきい幅に対する前記高周波特別色成分の振幅の比率を相対的に変化させる逆ガンマ効果ブロックと

を有し、

前記逆ガンマ効果ブロックは、前記空間フィルタから与えられた元データの特別色成分により前記比率を所定の比率変換関数により決定するようにされ、

前記所定の比率変換関数は、前記元データの特別色成分が大きいほど、前記所定のしきい幅に対する前記高周波特別色成分の振幅の比率を逡増するように設定されたことを特徴とする画像入力装置の画像処理回路。

【請求項 2 5】 請求項 2 3 に記載の画像入力装置の画像処理回路であって

前記リアルタイムプロセッシングユニット中の前記空間フィルタ内の前記データ群は 3 成分のデータの集積として構成され、

前記リアルタイムプロセッシングユニットは、前記主メモリに対して 3 成分出力または 4 成分出力が選択可能であり、いずれの場合においても、少なくとも 1 成分の出力に対し、前記空間フィルタ内の 3 成分及び周波数変換後の特別色成分のうちの 1 成分を選択的に出力可能であることを特徴とする画像入力装置の画像処理回路。

【請求項 2 6】 請求項 1 ないし請求項 2 5 のいずれかに記載の画像入力装置の画像処理回路であって、

前記主メモリは、前記撮像素子として、偶数ラインと奇数ラインが 2 つのフィールドとして時間的に異なったタイミングで読み出されるインターレースタイプのもを使用する場合に、前記偶数ラインと前記奇数ラインの一方に係る第一フィールドの画素データが格納され、

前記リアルタイムプロセッシングユニットは、前記偶数ラインと前記奇数ラインのうちの他方に係る第二フィールドの画素データが前記撮像素子から順次入力される際に、当該画素データに対応する前記主メモリ内の前記第一フィールド内の画素データを、前記第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行することを特徴とする画像入力装置の画像処理回路。

【請求項 2 7】 請求項 1 ないし請求項 2 6 のいずれかに記載の画像入力装置の画像処理回路であって、

前記リアルタイムプロセッシングユニットは、1 ライン中において所定個数の画素データを格納するラインメモリを有し、

前記主メモリは、前記撮像素子から与えられるフレーム単位の画像を格納する

ようにされ、

前記リアルタイムプロセッシングユニットは、前記撮像素子の 1 ラインの撮像画素数が前記ラインメモリ中の画素データの個数より多い場合に、前記主メモリに格納されたフレーム単位の前記画像を水平方向に複数ブロックに分割して認識し、

前記リアルタイムプロセッシングユニット内の前記ラインメモリには、前記主メモリ内で前記複数ブロックに分割された前記画像に係る画素データが順次入力されることを特徴とする画像入力装置の画像処理回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、画像入力装置内において画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の画像処理を行う画像入力装置の画像処理回路に関する。

【0 0 0 2】

【従来の技術】

一般に、デジタルスチルカメラ（画像入力装置）は、図 3 3 の如く、CCD 1 の駆動と画像の取り込みを画像処理回路 2 で行い、この画像処理回路 2 内で画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の画像処理を行った後、この画像を液晶モニタ 3 等のファインダに表示するとともに、画像データを所定の内蔵メモリ 4 に格納するようになっており、また必要に応じて画像データをメモリカード 5 に保存格納したり、外部インターフェース（I/F）6 を通じて外部の所定の処理装置（パーソナルコンピュータ）等に出力するようになっている。図 3 3 中の符号 7 は撮影レンズ、符号 8 は絞り機構、符号 9 は光学ローパスフィルタ、符号 1 0 は赤外カットフィルタ、符号 1 1 はストロボ、符号 1 2 は電源をそれぞれ示している。

【0 0 0 3】

【発明が解決しようとする課題】

ここで、一般に、画像処理回路 2 内には、図 3 4 及び図 3 5 の如く、CPU 2

aの他に、CCD1で得られた画像のリアルタイムな画像処理を実行するリアルタイムプロセッシングユニット(RPU)2bが備えられることが多い。そして、一旦内蔵メモリ4内に格納された画像の各種画像処理は、CPU2aのみがソフトウェアプログラムによって実行する構成となっていた。即ち、従来のリアルタイムプロセッシングユニット2bは、専らファインダー動作等を行うためのリアルタイム画像処理に限定され、完全にソフトウェア処理とは分離されており、処理過程の変更は各部のパラメータを変更する程度であった。

【0004】

この場合、リアルタイムプロセッシングユニット2bでのリアルタイム処理と、CPU2aでのソフトウェア処理とが完全に分離されていたため、リアルタイムプロセッシングユニット2bとしてのハードウェアで用意されない特殊な処理が必要となった場合は、一旦リアルタイム処理を中断して、特殊な処理を実行した後、その他の一般的な処理を行うことになるが、一旦内蔵メモリ4内に格納した画像をリアルタイムプロセッシングユニット2bで処理することができない構成となっていたため、図35の如く、それ以降の処理を、すべてソフトウェアで処理しなければならなかった。この場合、ハードウェア処理部(即ち、リアルタイムプロセッシングユニット2b)を全く使用せず、最初から最後までCPU2aでのソフトウェア処理によって実行されるため、少しでも例外的画像処理が要求された場合には、極端に処理スピードが低下し、処理に非常に時間がかかることから、撮影の機会を失う等の不都合が生じていた。

【0005】

ここで、最初からソフトウェア処理を前提にしておき、CPU2aの速度を上げて処理の高速化を図る場合もあるが、この時はCPU2aの高速動作のため消費電力が極端に大きくなり、ハードウェア処理に比較して、処理内容を複雑にすることができない。

【0006】

これらのことから、従来の方法では、必ずしも効率的な画像処理を行っているとは言い難かった。

【 0 0 0 7 】

本発明では、CPUによりソフトウェア処理で必要な部分のみを修正した後、再びリアルタイムプロセッシングユニットでの高速処理を続行できるようにすることで、高速な画像処理が可能で且つ消費電力を低く抑制できるデジタルスチルカメラの画像処理回路を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決すべく、請求項 1 に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとを選択するセレクタを少なくとも有することを特徴とするものである。

【 0 0 0 9 】

請求項 2 に記載の発明は、前記リアルタイムプロセッシングユニットは、複数の画像処理部が順次に接続されてなり、最前段の画像処理部は、前記セレクタを通じて、前記主メモリ内に一旦格納された画像の画素データが選択的に入力されるように接続され、2 段目以降の画像処理部のうちの少なくともひとつは、当該画像処理部の前段の画像処理部から入力される画素データと、前記主メモリ内に一旦格納された画像の画素データとが、所定の他のセレクタにより選択的に入力されるように接続され、最後段の画像処理部は、前記主メモリに画素データを送出するように接続され、前記最後段の画像処理部より前段の画像処理部のうちの少なくともひとつは、次段の画像処理部と前記主メモリとの両方に画素データを送出するように接続されたものである。

【 0 0 1 0 】

請求項 3 に記載の発明は、前記リアルタイムプロセッシングユニット及び前記撮像素子の動作タイミングを規律するためのタイミングジェネレータをさらに備え、前記タイミングジェネレータは、前記セレクトが、前記撮像素子で撮像されて順次入力される画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを同期して規律する同期制御機能と、前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、前記リアルタイムプロセッシングユニットの動作タイミングと前記撮像素子の動作タイミングとを非同期に規律する非同期制御機能とを有するものである。

【 0 0 1 1 】

請求項 4 に記載の発明は、前記セレクトが、前記主メモリ内に一旦格納された画像の画素データを選択しているときは、当該画素データが、前記主メモリから前記リアルタイムプロセッシングユニットに対して複数回に亘って循環的に繰り返し入力されるものである。

【 0 0 1 2 】

請求項 5 に記載の発明は、前記リアルタイムプロセッシングユニットと、前記主メモリと、前記中央制御部との間で送受信が行われる画素データは、4 つの画素成分のそれぞれについて所定のデータ長が与えられた 4 個の成分データから構成され、前記 4 個の成分データのうちの少なくとも 1 個は、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データが選択的に格納されるものである。

【 0 0 1 3 】

請求項 6 に記載の発明は、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 4 色系の画素データである場合には、当該 4 色系の画素データの 4 色の各成分のデータのそれぞれを前記各成分データに格納する一方、前記撮像素子で撮像されて順次入力される画素データまたは前記主メモリからの画素データが 3 色系の画素データである場合には、当該 3 色系の画素データに加えて、4 色目の

成分のデータに、前記リアルタイムプロセッシングユニット内で一般画像処理内で処理された任意の 1 個の成分データを、各画素データの所定の特徴データとして付加する機能を有するものである。

【 0 0 1 4 】

請求項 7 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データを加算してから再び前記主メモリ内に記憶する累積加算処理を所定の回数繰り返して実行する累積加算処理機能を有するものである。

【 0 0 1 5 】

請求項 8 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データと、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データとを、所定の重み付け係数によりそれぞれ乗算しつつ加算してから再び前記主メモリ内に記憶する循環加算処理を所定の回数繰り返して実行する循環加算処理機能を有し、前記循環加算処理における前記重み付け係数は、前記主メモリ内に一旦記憶された前フレーム中の同位置の画素データに乗算する

第一係数と、撮像素子からの各フレーム内の各画素データに乘算する第二係数とからなり、前記第一係数と第二係数との合計値が常に 1 になるよう予め設定されるものである。

【 0 0 1 6 】

請求項 9 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、前記撮像素子で撮像されて順次入力される各画素データに対して、シェーディング補正を含む所定の画素補正のために予め前記主メモリ内に記憶された所定の画素補正パラメータを乗算する画素補正機能を有するものである。

【 0 0 1 7 】

請求項 1 0 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、少なくとも、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能とを選択する機能を有するものである。

【 0 0 1 8 】

請求項 1 1 に記載の発明は、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内

に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、請求項 7 に記載の前記累積加算処理機能と、請求項 8 に記載の循環加算処理機能と、請求項 9 に記載の画素補正機能とを選択する機能を有するものである。

【 0 0 1 9 】

請求項 1 2 に記載の発明は、前記リアルタイムプロセッシングユニットは、 3×3 ピクセルレジスタ及び 2 個のラインメモリを有し、前記 3×3 ピクセルレジスタ内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックと、前記画素参照ブロック内の前記注目画素に対して色成分についての画素補間を行う色選択ブロックとをさらに有し、前記色選択ブロックは、前記画素参照ブロック内の各画素が 4 色系の 2×2 の画素配列の場合は、各画素について相互に同様の補間を行う第一演算処理によって画素補間を行う一方、前記画素参照ブロック内の各画素が 3 色系の画素配列の場合は、4 色系と同様の 2×2 の画素配列内の 4 色目の画素として前記 3 色系の画素中の一成分を使用し、各画素の画素補間処理において当該一成分と他の成分とで異なった補間を行う第二演算処理を実行する機能を有せしめられたものである。

【 0 0 2 0 】

請求項 1 3 に記載の発明は、前記 3 色系の画素配列は、赤色成分、緑色成分及び青色成分からなる RGB ベイヤーであり、前記リアルタイムプロセッシングユニット内の前記色選択ブロックは、前記画素参照ブロック内の各画素が RGB ベイヤーの場合に、4 色系と同様の 2×2 の画素配列内の 4 色目の画素として前記緑色成分を使用し、且つ、 2×2 の画素配列内で前記緑色成分が対角線状に配置されるようにし、前記緑色成分を他の成分に補間する画素補間処理において、他の成分である注目画素の上下左右の 4 画素の前記緑色成分の平均値を求めて画素補間し、または、他の成分である注目画素の上下左右の 4 画素の前記緑色成分のうち最小値及び最大値を除いた残りの 2 画素の平均値を求めて画素補間する機能を有せしめられたものである。

【0021】

請求項14に記載の発明は、前記リアルタイムプロセッシングユニットは、オートフォーカスのための適正評価を行うための評価値として、画像中の画素配列のうち所定の同一成分の複数の近隣画素の差分の絶対値を一定領域について積分した高周波成分評価値を出力するオートフォーカス評価部をさらに有し、前記オートフォーカス評価部は、差分をとるべき一对の同一成分の画素同士の離間タイミングを選択的に変更できるセレクタと、前記セレクタで選択された離間タイミングだけ離間した一对の同一成分の画素の差分の絶対値を演算する演算回路と、前記演算回路から順次出力されてくる絶対値を一定回数だけ累積加算する累積加算器とを備えるものである。

【0022】

請求項15に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリとを備え、前記リアルタイムプロセッシングユニットは、当該リアルタイムプロセッシングユニット外の前記主メモリに格納された欠陥画素アドレスを読み出し、画像中の画素データの画素アドレスが前記欠陥画素アドレスに一致したときに欠陥画素補正を行う欠陥画素補正部をさらに有するものである。

【0023】

請求項16に記載の発明は、前記主メモリ内に格納された欠陥画素アドレスが複数存在する場合には、画素配列の順次に従った順番で複数の欠陥画素アドレスが格納され、前記リアルタイムプロセッシングユニットの欠陥画素補正部は、複数のレジスタが連なって、主メモリ内に格納された欠陥画素アドレスが順次入力されるシフトレジスタと、前記シフトレジスタの最終段に接続されて、順次入力される画素データのアドレスカウント値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合に欠陥画素タイミング

信号を出力する比較器とを備え、前記シフトレジスタは、欠陥画素アドレスを保持し最終段の出力が最前段の入力端子にループして形成され、前記比較器は、順次入力される画素データのアドレスカウンタ値と、前記シフトレジスタの最終段から与えられた欠陥画素アドレスとを比較し、一致していた場合にシフトタイミング及び欠陥画素補正タイミングの信号を出力する比較器であり、前記シフトレジスタのシフトは前記比較器から与えられたシフトタイミングの信号によって実行されるものである。

【0024】

請求項17に記載の発明は、デジタルスチルカメラ内において、撮像素子で撮像した画像について所定の画像処理を行う画像処理回路であって、前記撮像素子で撮像されて順次入力される画素データについて実時間処理により所定の一般画像処理を行うリアルタイムプロセッシングユニットと、少なくとも前記リアルタイムプロセッシングユニットから出力された画素データを画像フレーム単位で記憶する主メモリと、前記主メモリ内に一旦記憶された画像に対して前記一般画像処理以外の例外的画像処理をソフトウェアプログラム処理として実行して前記主メモリ内に格納する中央制御部とを備え、前記リアルタイムプロセッシングユニットは、 N ビット長の1個の画素データが与えられた場合に当該1個の画素データについてガンマ補正処理を行うことのできるガンマ補正テーブルと、 N ビット長の1個の画素データが与えられた場合に、当該1個の画素データを前記ガンマ補正テーブルに入力する一方、 $(N-2)$ ビット長の画素データが与えられた場合に、前記ガンマ補正テーブルを4分割してなる4個のルックアップテーブルのそれぞれに $(N-2)$ ビット長の画素データとして順次与えられた4個のデータ列を入力するよう切り換えるセレクタとをさらに有するものである。

【0025】

請求項18に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分（一般に輝度成分）を有する第二配列方式の画素データに変換する色空間変換回路と、前記色空間変換回路で変換された前記第二配列方式の画素データのうちの前記所定の特別色成分のみを入力し、当該特別色成分の値を所定の関数で数値変換して

出力する特別色用ルックアップテーブルと、前記特別色用ルックアップテーブルから出力された値を、前記第二配列方式の画素データのうちの前記所定の特別色成分以外の成分にそれぞれ乗算する乗算器とを備えるものである。

【 0 0 2 6 】

請求項 1 9 に記載の発明は、前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロックで得られる緑色成分の高域成分信号と前記主メモリ内に格納された 4 色目の画素とを選択するセレクタと、前記セレクタで選択されたデータが特徴データとして入力されて所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備えるものである。

【 0 0 2 7 】

請求項 2 0 に記載の発明は、前記リアルタイムプロセッシングユニットは、前記色選択ブロック内の前記画素参照ブロック内に格納され、または前記撮像素子から与えられた各画素のうちの 4 色目の画素と、前記 3 色系の画素配列の場合に 2×2 の画素配列内の 4 色目の画素として使用された前記 3 色系の画素中の一成分の画素とを選択するセレクタと、前記セレクタによって選択された画素を特徴データとして入力し、当該特徴データを所定の関数で数値変換して出力する特徴データ用ルックアップテーブルと、前記特徴データ用ルックアップテーブルから出力された値を所定の画素配列の画素データの各成分にそれぞれ乗算する乗算器とを備えるものである。

【 0 0 2 8 】

請求項 2 1 に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色成分配列を有する第一配列方式の画素データを、所定の特別色成分（一般に輝度成分）を有する第二配列方式の画素データに変換する色空間変換回路と、前記色選択ブロックから出力された 4 色目の画素のデータまたは前記第一配列方式の画素データ中の一の成分のデータの前記色空間変換回路に対する入力の可否を切り換えるセレクタとをさらに有し、前記色空間変換回路は、当該色空間変換回路に対して前記セレクタがデータの入力を許可したときに、入力を許可された

当該データを4色目の画素のデータとして第二配列方式の画素データに変換する機能を有するものである。

【0029】

請求項22に記載の発明は、前記リアルタイムプロセッシングユニットは、画像フレーム中において少なくとも 3×3 の複数のブロックにブロック分割し、各ブロックにおける前画素の特別色成分（一般に輝度成分）の積分値を求めて撮像素子での撮像時における露出決定の評価値を出力する露出決定評価器をさらに有し、前記露出決定評価器は、前記各ブロック同士の境界線を上下左右方向に任意に設定変更できるようにしたものである。

【0030】

請求項23に記載の発明は、前記リアルタイムプロセッシングユニットは、所定の色空間におけるデータ群を処理する空間フィルタと、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整して輪郭補正処理を行う輪郭補正処理部とをさらに有し、前記輪郭補正処理部は、前記空間フィルタ内の前記データ群のうち周波数変換後の成分のみをゲイン調整したデータと、前記空間フィルタ内の元データとを別々のデータとして出力する機能を有するものである。

【0031】

請求項24に記載の発明は、前記リアルタイムプロセッシングユニットは、輪郭補正処理部での輪郭補正処理において、前記空間フィルタから与えられた前記高周波特別色成分の振幅が所定のしきい幅より小さいときにのみ、所定の非線形演算関数により当該振幅をゼロ値とみなして出力することで画像中のノイズ成分の除去を行うコアリングファンクションブロックと、前記コアリングファンクションブロックにおける前記所定のしきい幅に対する前記高周波特別色成分の振幅の比率を相対的に変化させる逆ガンマ効果ブロックとを有し、前記逆ガンマ効果ブロックは、前記空間フィルタから与えられた元データの特別色成分により前記比率を所定の比率変換関数により決定するようにされ、前記所定の比率変換関数は、前記元データの特別色成分が大きいほど、前記所定のしきい幅に対する前記高周波特別色成分の振幅の比率を遁増するように設定されたものである。

【 0 0 3 2 】

請求項 2 5 に記載の発明は、前記リアルタイムプロセッシングユニット中の前記空間フィルタ内の前記データ群は 3 成分のデータの集積として構成され、前記リアルタイムプロセッシングユニットは、前記主メモリに対して 3 成分出力または 4 成分出力が選択可能であり、いずれの場合においても、少なくとも 1 成分の出力に対し、前記空間フィルタ内の 3 成分及び周波数変換後の特別色成分のうちの 1 成分を選択的に出力可能であるものである。

【 0 0 3 3 】

請求項 2 6 に記載の発明は、前記主メモリは、前記撮像素子として、偶数ラインと奇数ラインが 2 つのフィールドとして時間的に異なったタイミングで読み出されるインターレースタイプのものを使用する場合に、前記偶数ラインと前記奇数ラインの一方に係る第一フィールドの画素データが格納され、前記リアルタイムプロセッシングユニットは、前記偶数ラインと前記奇数ラインのうちの他方に係る第二フィールドの画素データが前記撮像素子から順次入力される際に、当該画素データに対応する前記主メモリ内の前記第一フィールド内の画素データを、前記第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行するものである。

【 0 0 3 4 】

請求項 2 7 に記載の発明は、前記リアルタイムプロセッシングユニットは、1 ライン中において所定個数の画素データを格納するラインメモリを有し、前記主メモリは、前記撮像素子から与えられるフレーム単位の画像を格納するようにされ、前記リアルタイムプロセッシングユニットは、前記撮像素子の 1 ラインの撮像画素数が前記ラインメモリ中の画素データの個数より多い場合に、前記主メモリに格納されたフレーム単位の前記画像を水平方向に複数ブロックに分割して認識し、前記リアルタイムプロセッシングユニット内の前記ラインメモリには、前記主メモリ内で前記複数ブロックに分割された前記画像に係る画素データが順次入力されるものである。

【0035】

【発明の実施の形態】

図1はこの発明の一の実施の形態に係るデジタルスチルカメラを示す図である。このデジタルスチルカメラは、図1の如く、CCD（撮像素子）21で撮像した画像をアナログ信号処理回路22で取り込んでA/D変換し、このデジタル化された画像についての画素補間、色変換、輪郭補正処理、フィルタリング及び間引き処理等の所定の一般画像処理をリアルタイムプロセッシングユニット（RPU）23でリアルタイム処理（実時間処理）にて高速に実行すると共に、JPEG圧縮処理等を含む例外的画像処理をCPU（中央制御部）24で実行した後、外部インターフェース（I/F）26を通じて所定の処理装置（パーソナルコンピュータ）等に出力し、併せて、当該画像をファインダーとしてのLCD 27に表示し、またDRAMまたはSDRAM等の一般的な主メモリ29等に格納するようになっている。この際、ファインダー（LCD 27）への画像供給に関しては若干の解像度を落とすなどの所定の処理をリアルタイムプロセッシングユニット23で行った後、次々と画像を出力することで、ファインダー27での画像表示を行うが、撮像鉤等が操作者によって押操作されたときには、主メモリ29内の詳細な画像をメモリカード30等の記録装置（Storage Media）に一気に格納するようになっている。

【0036】

そして、アナログ信号処理回路22を通じて与えられた画像については、リアルタイム処理を行う場合は途中の画素配列データを主メモリ29に蓄えずにRPU 23で直接的に処理を行う一方（図34参照）、リアルタイム処理を行わない場合には、例えば図2の如く、CPU 24で処理されて一旦主メモリ29のCCDデータバッファ（CCD Data Buffer）29aに蓄えた画素配列データを再度ダイレクトメモリアクセス（DMA）でリアルタイムプロセッシングユニット23に入力してやることで、高速に処理を行うようになっている。

【0037】

即ち、この実施の形態のデジタルスチルカメラでは、一旦主メモリ29内に格納した画像の画素補間、色変換及び輪郭補正処理等の各種処理を、いつでも再

リアルタイムプロセッシングユニット 23 で再実行することが可能となっている。これにより、例えば画像中の所望の部分のみについて、リアルタイムプロセッシングユニット 23 で予定していない特殊な処理を、CPU 24 でソフトウェア処理・修正した後、その他の定型処理等をリアルタイムプロセッシングユニット 23 で高速に処理することができ、すべてをソフトウェアで行うときに比較して数倍から数十倍のスピードアップが可能となり、また、このとき CPU 24 は処理を行う必要がないので消費電力を削減することができるものである。

【0038】

ここで、リアルタイムプロセッシングユニット 23、CPU 24、外部インターフェース 26 等は、主メモリ 29、メモリカード 30 及び JPEG 処理部 31 とともにメインバス 28 にバス接続されており、これらのデータ相互の受け渡しに際して CPU 24 の負荷を低減すべく、この CPU 24 を介さずにダイレクトメモリアクセス (DMA) コントローラ 32 の制御に基づいて各要素間のメインバス 28 を通じたデータの授受を行っている。

【0039】

尚、図 1 中の符号 27 a は LCD 27 を駆動する LCD 駆動回路、符号 27 b はデジタルエンコーダ、符号 27 c はディスプレイモジュール、符号 30 a はオートフォーカス機能付きのレンズや絞り機構等を有する光学機構、符号 30 b はストロボ、符号 30 c は CCD 21 を駆動する CCD 駆動回路、符号 30 d はリアルタイムプロセッシングユニット 23 及び CCD 駆動回路 30 c 等の動作タイミングを規律するためのタイミングジェネレータ (TG)、符号 30 e は PLL 発信回路、符号 30 f は CPU 24 の補助演算装置であるコプロセッサをそれぞれ示している。

【0040】

<CCD 21 の構成>

CCD 21 は、電荷蓄積部及び電荷転送部を内部に備える一般的なもので、例えば、偶数ラインと奇数ラインが 2 つのフィールドとして時間的に全く異なるタイミングでアナログ信号処理回路 22 に読み出されるインターレース (飛び越し走査) タイプのものと、各ライン順に順次読み出しが行われるプログレッシブ (

順次走査) タイプのもののいずれかが選択的に使用される。勿論、電荷転送部を持たないCMOSセンサタイプのものも適用して差し支えない。

【0041】

<リアルタイムプロセッシングユニット23の構成及び動作>

リアルタイムプロセッシングユニット23は、図3の如く、アナログ信号処理回路22を通じて得られた各画素を各ピクセル単位で処理する単一画素処理部 (Single Pixel Proccessing Block) 41と、所定の画素補間を行いながらガンマ処理を行う画素補間・ガンマ処理部 (Interpolation & Gamma Block) 42と、色空間変換・色抑圧処理部 (Color Space Conversion & False Color Suppression Block) 43と、空間フィルタ・コアリング処理部 (Special Filter & Coring Block) 44と、これらの画像処理が行われた画像データをメインバス28に出力する出力部 (Resizing Block) 45とを備えている。

【0042】

そして、特に、単一画素処理部41及び画素補間・ガンマ処理部42については、一旦主メモリ29内に格納した画像を、ダイレクトメモリアクセス (DMA) コントローラ32での制御によりいつでも取り込めるようになっている。このように、リアルタイムプロセッシングユニット23の初段の単一画素処理部41だけでなく、中途段の画素補間・ガンマ処理部42にも入力できるようになっているので、CPU24で画像の例外的画像処理を行った後、単一画素処理部41を通過させずに、リアルタイムプロセッシングユニット23の中途 (画素補間・ガンマ処理部42) からの処理を実行できる。即ち、例外的画像処理を行う部分のみをソフトウェアで行い、その他のすべての処理を高速なリアルタイムプロセッシングユニット23で処理することにより、処理スピードの低下を最小限に抑えることができる。

【0043】

また、実際のデジタルスチルカメラにおいては、CCD21によって取り込んだ画素データに対して、例えば「G (グリーン)」成分だけをガンマ補正するなどの特殊な例外的画像処理を行うことがある。この場合、かかる特殊な処理は、予めリアルタイムプロセッシングユニット23にハードウェアとして容易され

た機能を仕様できないことが多く、よって、一旦、主メモリ 29 内に格納した画像に対して種々の一般画像処理をリアルタイムプロセッシングユニット 23 で行う（ポスト処理：Post Processing）ことが行われる。そして、この実施の形態のデジタルスチルカメラでは、かかるポスト処理時において、リアルタイムプロセッシングユニット 23 の処理クロックをリアルタイム処理時より高い周波数に設定し、可久的にポスト処理を高速に行うようにしている。尚、一般に、従来の CCD 21 の画素の読み出しクロックとリアルタイムプロセッシングユニット 23 でのリアルタイム処理の処理クロックは常に同期するようになっている。このため、CCD 21 の画像データについて CPU 24 で例外的処理し、一度主メモリ 29 に格納した後に、再びリアルタイムプロセッシングユニット 23 でポスト処理することとすると、処理時間が全体としてかなり長くかかってしまうことが予想される。そこで、この実施の形態では、リアルタイムプロセッシングユニット 23 の処理クロックを CCD 21 の画素の読み出しクロックから非同期に独立して単独で設定できるようにし、ポスト処理時のリアルタイムプロセッシングユニット 23 の処理スピードを CCD 21 からのデータ転送速度に比べて大幅に向上させている。これにより、CCD 21 とリアルタイムプロセッシングユニット 23 の処理クロックを同期させる場合に比べて、ポスト処理のスピードを 2 ～ 4 倍上げることができるものである。

【0044】

このように、リアルタイムプロセッシングユニット 23 の処理クロックを CCD 21 からのデータ転送速度に比べて非同期に高速化しているので、リアルタイムプロセッシングユニット 23 の 1 パスが非常に短時間に終了することになる。このことを考慮すると、ポスト処理において、リアルタイムプロセッシングユニット 23 に対してデータを複数回通しても、全体としての処理スピードは CCD 21 の読み出し速度に対してそれほど遅延することがない。したがって、全体的な処理速度を低下させずに、リアルタイムプロセッシングユニット 23 にデータを複数回通すことにより、特定の機能をデータに重複して作用させ、個々の機能を拡張させることができ、例えば、後述の空間フィルタ 91 の範囲を等価的に増加させる等の機能の拡張を行うことが容易に可能となる。

【0045】

尚、リアルタイムプロセッシングユニット23の処理クロックをCCD21の画素の読み出しクロックから非同期にできるため、上記とは逆に、リアルタイムプロセッシングユニット23の処理スピードをCCD21からの転送速度に比べて低減させることも可能である。この場合は、リアルタイムプロセッシングユニット23における消費電力を低減できるものとなる。

【0046】

このような非同期の場合の処理クロックの変更は、図1に示したタイミングジェネレータ(TG)30dにより行うものであり、望ましくは、かかるタイミングジェネレータ(TG)30dによるリアルタイムプロセッシングユニット23の処理クロックの設定に関して、予め数種類のクロック周波数の設定を容易しておき、ドライバソフトウェアプログラムやジャンパピンの接続切り換え、あるいはディップスイッチの切り換え等によりクロック周波数の設定を容易に切り替えられるようにしておく。これにより、ポスト処理に関して消費電力特性及び処理速度特性を自由に且つ容易に設計できるようになる。

【0047】

<単一画素処理部41の構成及び動作>

単一画素処理部41は、アナログ信号処理回路22から与えられた各画素毎に乗算、加算またはその両方の演算を行うことにより、複数フレームの画像の間での「経時的平均化処理」及び1フレーム内での「シェーディング補正処理」のいずれかを選択的に行うものであって、具体的には、図4の如く、メインバス28にそれぞれ接続されてデータ入出力のタイミングを調整するための3個のFIFO(バッファ)51a~51cと、このうちの第一FIFO51aを通じてメインバス28からの画素データが入力される1個のシフタ(Shifter)52と、アナログ信号処理回路22からの12ビット長の入力データ(Input Data)と上記のシフタ52からの12ビット長のデータとを選択する第一セレクタ(Selector)53と、第二FIFO51bを通じて得られるメインバス28からの画素データに対して所定の第一係数(Ratio A)を乗算する第一乗算器54と、第二FIFO51bを通じて得られるメインバス28からの画素データと所定の第二係数

(Ratio B) とを選択する第二セクタ 55 と、この第二セクタ 55 からの出力値と第一セクタ 53 からの出力値とを乗算する第二乗算器 56 と、第一乗算器 54 からの出力値と第二乗算器 56 からの出力値とを加算する加算器 57 と、加算器 57 からの出力値を受けて第三 F I F O 51 c を通じてメインバス 28 に信号出力を行うために、加算後のデータを一定値に適合させるリミッタ (Limmiter & Shifter) 58 とを備えている。

【0048】

ここで、従来では、単一面素処理部 41 において複数フレームの画像の加算処理を行うことが行われていなかったが、この単一面素処理部 41 の「経時的平均化処理」では、C C D 21 の蓄積時間が複数フレームに渡る場合、各フレーム毎に C C D 21 からデータを読み出し、主メモリ 29 上の対応する画素のデータと加算することによって、複数フレームの C C D 21 上での蓄積と等価な信号を作成するようになっている。この場合、「累積加算」と「循環加算」のいずれか一方の加算方式を選択できるようになっている。

【0049】

ここで、まず「累積加算」について説明する。

【0050】

従来では、対象物が暗く、C C D 21 の蓄積時間が複数フレーム（フィールド）に渡る場合は、C C D 21 の電荷蓄積部から電荷転送部への読み出しをその期間停止して電荷レベルを増大させ、十分な信号レベルにした後、読み出しパルス印加し撮影を行っていた。しかし、この場合、C C D 21 内の電荷蓄積部におけるノイズ電荷の湧き出しにより、映像 S/N 特性が低下する。これを避けるため、電荷の読み出しは通常周期で行ない、読み出された信号をアナログの電気回路や、デジタル回路でゲインを上げて処理することが従来において行われることがあったが、この場合も、読み出し以降のランダムノイズが所定のアンプによって増大されるため、やはり S/N 特性は低下する。

【0051】

これに対し、この実施の形態に係るデジタルスチルカメラでは、上記の場合に、通常読み出しの周期を維持してアナログゲインを増大させ、一度主メモリ 2

9に格納したデータと、新たに読み出したフレーム（フィールド）のデータを加算器57で加算して、再度主メモリ29に格納することを繰り返すことにより、複数フレーム期間に渡る累積加算を行なう。そして、最終的に得られた累積加算データを加算回数で除算することにより、電荷蓄積部のノイズを増大させることなく、S/Nの良い、十分な信号レベルのデータを得ることができる。通常、CCD21内の電荷蓄積部及び電荷転送部やアナログ信号処理回路22のノイズはランダムノイズが支配的であるため、累積加算する回数をN回とすると、ノイズのレベルはNの1/2乗に比例して小さくなる。このことにより、ランダムノイズを大幅に削減できるようになっている。

【0052】

この場合、第一セレクタ53はアナログ信号処理回路22からの入力データを選択し、第二セレクタ55は「1.0」という値で与えられた第二係数（Ratio B）を選択し、また第一係数（Ratio A）は「1.0」で与えられることで、加算器57においては、アナログ信号処理回路22からの入力データを、メインバス28及び第二FIFO51bを通じて主メモリ29から与えられる過去の累積データにさらに累積加算することができるようになる。

【0053】

このように、累積加算としての各係数（Ratio A, Ratio B）の設定及び各セレクタ53, 55の選択を行った場合の単一画素処理部41の処理構造を示したものが図5である。図5のように、CCD21からアナログ信号処理回路22を通じて与えられた入力データ（Input Data）を、加算器57によって、主メモリ29内のCCDデータバッファ（CCD Data Buffer）29aに蓄えられたデータに累積的に加算し、再びCCDデータバッファ29aに更新記憶するようになっている。かかる累積加算をN回繰り返した後、リアルタイムプロセッシングユニット（RPU）23内の他のブロック42～45に与え、主メモリ29内の処理データバッファ（Processed Data Buffer）29bにフレーム単位で格納した後、必要に応じてCPU24により所定のソフトウェア処理を行い、これを主メモリ29内の一時記憶データバッファ（Temporaly Data Buffer）29cに格納すると共に、メインバス28を通じて外部I/F26等に出力するようになっている。

【0054】

ここで、メインバス28を通じて主メモリ29から得られる累積データと、アナログ信号処理回路22から得られる入力データとは、画素配列データ中での同じ位置の各画素データについて個別に累積演算され、その後に同じ位置の画素データとして主メモリ29に順次格納される。

【0055】

かかる構成を採用することにより、複数フレーム分の画像をメモリに格納して累積加算する場合に比べて、主メモリ29の容量が1フレーム分で足りることになるため、メモリ容量が少なくても済み、低コスト化を図ると共に省電力化を図り得るという利点がある。また、CCD21での画像の読み出しに同期してリアルタイムプロセッシングユニット23で累積加算処理を行うことができるので、例えば、複数フレーム分の画像をメモリに格納した後に何らかのソフトウェアプログラムに従ってCPUの動作により累積加算する場合に比べ、加算処理の速度を大幅に向上できる。

【0056】

尚、この「累積加算」の場合は、画像データを累積加算する際の加算回数が増大するに従ってビット長が伸びることになる。例えば、8ビットの画像データを256回加算するのであれば16ビットのデータ長を確保しなければならない。このことは、逆に言えば、16ビットのデータ長を確保している場合は8ビットの画像データであれば加算限度として256回しか加算できず、これを超過すると信号の一部がオーバーフローする可能性があることになる。また、例えば、入力データとして12ビットまで対応できるようにリアルタイムプロセッシングユニット23を設計する場合は、16ビットのデータ長を確保している場合は、12ビットの入力データに対して最大16 ($= 2^{16-12}$) 回までしか累積加算できないことになる。このように加算処理回数が少ない場合、被写体の明るさや、ノイズの量によっては、十分な平均化処理ができない可能性がある。したがって、使用環境等の要因によりS/N比の向上が強く求められる場合には、加算回数に制限をなくすことが望ましい場合があり、このような場合を考慮した方式が「循

環加算」である。

【0057】

この「循環加算」は、CCD 21の蓄積時間が複数フレームに渡る場合に、各フレーム毎にCCD 21からデータを読み出し、図4の如く、メインバス28及び第二FIFO 51bを通じて主メモリ29から与えられる画素データに対し、第一乗算器54によって第一係数(Ratio A)として α を乗算するとともに、CCD 21からの入力データに対し、第二係数(Ratio B)として $(1-\alpha)$ を第二乗算器56によって乗算し、これらを加算することによって複数フレームのCCD上での蓄積と等価な信号を作成するものである。この場合、第一係数(Ratio A= α)と第二係数(Ratio B= $1-\alpha$)の合計は「1」になるように設定されており、 α の値は「0」より大で且つ「1」未満の任意の値として実験等の経験により設定されるものである。また、第一セクタ53及び第二セクタ55でのそれぞれの選択は「累積加算」の場合と同様である。この「循環加算」方式によると、加算された最新の入力データやこれに近い比較的新しい過去の入力データの方が、古い入力データよりも寄与率が高いことになり、データの時間的均衡については若干扱いにくい点もあるが、ランダムノイズを低減するための加算処理において、加算回数に応じてデータ長をデフレートすることで、メモリ上のデータ量を増やさずに、加算回数を大きくすることができるという利点があるものである。したがって、被写体の明るさやノイズの量によって十分な平均化処理を行いたい場合に、蓄積部のデータ長を増加させずに長時間(無限回数)のフレーム加算が可能となる。

【0058】

このように循環加算としての各係数(Ratio A, Ratio B)の設定及び各セクタ53, 55の選択を行った場合の単一画素処理部41の処理構造を示したものが図6である。図6のように、CCD 21からアナログ信号処理回路22を通じて与えられた入力データ(Input Data)に対して、第二乗算器56により第二係数(Ratio B= $1-\alpha$)を乗算し、また主メモリ29内のCCDデータバッファ(CCD Data Buffer) 29aに蓄えられたデータに対して、第一乗算器54により第一係数(Ratio A= α)を乗算し、これらを加算器57によって加算し、再

びCCDデータバッファ29aに更新記憶するようになっている。かかる循環加算をN回繰り返した後、リアルタイムプロセッシングユニット(RPU)23内の他のブロック42~45に与え、主メモリ29内の処理データバッファ(Processed Data Buffer)29bにフレーム単位で格納した後、必要に応じてCPU24により所定のソフトウェア処理を行い、これを主メモリ29内の一時記憶データバッファ(Temporary Data Buffer)29cに格納すると共に、メインバス28を通じて外部I/F26等に出力するようになっている。

【0059】

この図5及び図6のように、図4に示した同一の回路を用いて「累積加算」と「循環加算」を任意に選択することができるため、設計の自由度を確保でき、この単一面素処理部41の汎用性が向上するという利点がある。

【0060】

さらに、上記の図4に示した同一の回路を用いて、上記のノイズ緩和のための加算処理以外に、全く異なった機能である「シェーディング補正処理」をも選択して実行できるようになっている。

【0061】

一般に、CCD21で対象物や風景等を撮影する場合、レンズの光学的作用等に起因して、中心位置の明るさに比べてその周囲が暗くなるというシェーディングが発生することがある。図7は画像にシェーディングが発生した状態を示す図であり、横軸は画像ラインの位置、縦軸は輝度レベルを示している。図7では、画像ライン中の中心部分に比べてその周囲部分の輝度が相対的に低くなっている。このような現象は、レンズとして広角レンズ等を使用する場合に顕著に現れる。かかるシェーディングを緩和するために、各画素の輝度値等のゲイン調整を行うのが「シェーディング補正処理」である。

【0062】

尚、例えばCPU24によりソフトウェア処理を行ってシェーディング補正処理を行う場合を考えると、1画素毎にシェーディング補正する場合には、従来は、レンズのシェーディング補正等を行なうために、RPU内部に乗算係数(シェーディング補正パラメータ)を格納する1ライン分のメモリを用意しておき、そ

のデータと、CCD 21からの入力データを掛け合わせて、補正を行っていた。しかしながら、この方法では、水平方向の補正しかできないため、垂直方向にも補正したい場合には、複数ラインの乗算係数（シェーディング補正パラメータ）を持てるようにメモリを追加するか、ソフトウェアで定期的にデータを更新してやる必要があった。1ライン中の画素毎に異なった乗算係数（シェーディング補正パラメータ）を乗算するので、大量の係数を持たなければならず、内部のメモリの容量が巨大になり、かつソフトウェアでのデータの更新も非常に頻繁に必要なため、水平画素の補正単位を複数画素単位とし、垂直のラインも複数ライン単位とせざるを得なかったこともあり、これをソフトウェア処理する場合は非常に時間がかかり好ましくない。

【0063】

このため、CPU 24において、図7中の縦線のように1フレームの画像をいくつかの格子状のブロックに分割し、これらのブロック相互間で、シェーディング補正を行う方法も考えられる。しかしながら、ブロック単位に区切ってシェーディング補正処理を行うと、図8のように、ブロックの区切り部分（図8中の縦線）で輝度値に段差ができてしまい、画像として見た場合に縞状の不自然な画像となってしまふ。

【0064】

これらの問題を考慮し、この実施の形態のリアルタイムプロセッシングユニット23では、単一画素処理部41において、個々の画素毎にシェーディング補正処理を高速に実行するようになっている。

【0065】

具体的には、画素単位のシェーディング補正パラメータを主メモリ29内の補正データ格納領域29d上に格納しておき、CCD 21での画像データのキャプチャー時にダイレクトメモリアクセス（DMA）で補正データをリアルタイムプロセッシングユニット23に入力することにより画素単位の補正を行なう。これにより、ソフトウェア処理に係るCPU 24に負担をかけずに、画素単位のシェーディング補正処理を高速に実現できる。特にCCD 21に代えてCMOSセンサを使用するような市場の要請があった場合、このCMOSセンサはCCDセン

サと異なり、画素毎に読み出し回路が独立しており、画素単位のエラーが発生しやすいため、この発明は有効となる。また、リアルタイムプロセッシングユニット 23 内に特別のレジスタを設置する必要がないため、回路構成を容易にすることでコストを低く抑えることができると共に、消費電力の低減できる。

【0066】

この「シェーディング補正処理」では、図 4 及び図 9 の如く、第二セクタ 55 では、メインバス 28 及び第二 FIFO 51b を通じて主メモリ 29 内の補正データ格納領域 29d から与えられる画素毎の乗算係数（シェーディング補正パラメータ）を選択しており、ここで選択された乗算係数（シェーディング補正パラメータ）を、第二乗算器 56 によって CCD 21 からの画素データに対して各画素毎に乗算し、その結果の画像データを CCD データバッファ（CCD Data Buffer）29a に格納する。尚、ここで、第一乗算器 54 で乗算される第一係数（Ratio A）は「0」であり、よってその乗算値が「0」となるため、加算器 57 では第二乗算器 56 での結果に値「0」を加算することになり、故に加算器 57 の出力は第二乗算器 56 からの出力値がそのまま維持される。

【0067】

かかる回路は、上述の図 4 に示した回路と同一の回路を使用しているだけなので、かかる同一の回路で「累積加算」と「循環加算」と「シェーディング補正処理」との 3 つの機能を選択して使用できる。尚、かかる複数の機能は、リアルタイムプロセッシングユニット 23 の単一画素処理部 41 の駆動制御に使用されるドライバプログラム（BIOS）において、各セクタ 53, 55 の選択及び各係数（Ratio A, Ratio B）の設定を変更するだけで容易に選択できる。したがって、「累積加算」と「循環加算」と「シェーディング補正処理」の 3 つの機能のうち、予めいずれかの機能に限定するようドライバプログラムを設定してもよいし、あるいは、コマンド入力または回路基板上のジャンパピンまたはディップスイッチ等の設定により切り換えできるように設定してもよい。

【0068】

<画素補間・ガンマ処理部 42 の構成及び動作>

画素補間・ガンマ処理部 42 は、CCD 21 より画像を読み込んだ場合の画素

補間を行うとともに、画像のガンマ補正を行うブロックである。

【0069】

まず、画素補間・ガンマ処理部 42 の画素補間機能について説明する。

【0070】

一般に、CCD 21 においてカラー画像の撮像を行うに当たって、1 画素毎に異なる色（RGB-Bayer または YMC G 系等の補色タイプ等）のフィルタを使用することが多い。

【0071】

RGB-Bayer は、画素毎に3 色系のフィルタをかけるもので、一般に「R（赤色成分）」、「G（緑色成分）」、「B（青色成分）」の3 色により画素配列を行っており、例えば図 10 の如く、奇数ライン及び偶数ラインの一方を「R, G, R, G, …」とし、他方を「G, B, G, B, …」としたものである。この場合、図 10 中の太線枠で示したように、 $2 \times 2 = 4$ ピクセルでもって1 組の色を認識するようになっているが、この太線枠内においては、右上位置と左下位置の両方に「G」が配置される。

【0072】

また、補色タイプ（YMC G 系または YMC K 系）は、画素毎に異なる色成分の4 色系のフィルタをかけるもので、図 11 の如く、奇数ライン及び偶数ラインの一方を「C（シアン色成分）」、「M（マゼンダ色成分）」、「C, M, …」とし、他方を「Y（イエロー色成分）」、「G（緑色成分）」、「Y, G, …（YMC G 系の場合）」としたものである。これも一画素毎に異なる色成分のフィルタをかけたもので、図 11 中の太線枠で示した通り、 $2 \times 2 = 4$ ピクセルでもって1 組の色を認識するようになっている。

【0073】

これらの RGB-Bayer 及び補色タイプ（YMC G 系等）の画素配列を記号「A」, 「B」, 「C」, 「D」で一般化したものが図 12 である。JPEG 系のデジタルスチルカメラでは、これらの画素配列に基づいて最終的に JPEG 系色空間である Y（輝度）, $C_r (= \alpha_1 \{R（赤色成分）- Y（輝度）\})$, $C_b (= \alpha_2 \{B（青色成分）- Y（輝度）\})$ に1 画素毎に変換する必要がある。

あるが、ここでは、例えば図12のData X1において、「D」の成分しかなく、この画素について他の「A」，「B」，「C」の成分の補間を行うためには、周囲のこれらの成分を参照することになる。

【0074】

具体的には、例えば補色タイプ（YMC G系等）の場合、図13の如く、Data X1において「A」の成分を参照する場合は、斜め四方の「A」の成分の平均化処理を行ってこれをData X1の成分に加味する。また、Data X2（「C」の成分）において「A」の成分を参照する場合は、上下に隣接する「A」の成分の平均化処理を行ってこれをData X2の成分に加味する。さらに、Data X3（「B」の成分）において「A」の成分を参照する場合は、左右に隣接する「A」の成分の平均化処理を行ってこれをData X3の成分に加味する。他の成分「B」，「C」，「D」の補間についても同様である。ここで、画素配列の信号は、各ライン別に入力されるにも拘わらず、例えば図13中のData X1の画素補間を行うためには当該Data X1のラインと異なる前後ラインを参照しなければならないため、この画素補間・ガンマ処理部42では、画素補間を行う画素に対して前後の2ラインを格納するためのラインバッファ61a，61bを設置し、このラインバッファ61a，61bと3×3ピクセルレジスタ62の間で画素の受け渡しをしながら、この3×3ピクセルレジスタ62の各画素の値を色選択ブロック63でセレクトしながら、この色選択ブロック63内において画素補間を行う。即ち、補色タイプ（YMC G系等）のような2×2の4色構成のCCD21に対しては、図13に示した方法のように、すべて同じ演算処理を行うことで画素補間を行う。尚、ラインバッファ61a，61b及び3×3ピクセルレジスタ62は、3×3ピクセルレジスタ62内の中央に位置する注目画素に対して、その周囲の画素を参照するための画素参照ブロックを構成するものである。

【0075】

これに対し、3色系のRGB-Bayerでは、図10中の太線枠で示したように、「R」，「G」，「B」の3色に加えて4色目の色成分として再び「G」を使用している。このように、RGB-BayerのCCD21に対しては、色

選択ブロックの一部（４色目）を置き換えることによって、同一の回路により３色系と４色系の両方をリアルタイム処理できるようになっている。かかる３色系のRGB-Bayerについて色補間処理する場合、４色系の補色タイプ（YMC G系等）の処理とは異なった処理が必要とされる。即ち、４色系の補色タイプ（YMC G系等）の色補間処理では、すべての画素について図１３に示したような処理を行うことが可能であるが、３色系のRGB-Bayerの「G」について色補間処理する場合、例えば図１０において「R」においても「B」においても、これに「G」を補間する場合は、上下方向及び左右方向の四方に隣接して「G」が存在しているので、これらの四方の「G」に基づいて色補間を行えばよい（第一補間方法）。あるいは、上下方向及び左右方向の四方に隣接して存在する４画素の「G」のうち、最小値のものと最大値のものを除去した残りの２画素の「G」の平均値をとってもよい（第二補間方法）。実際には、これらの第一補間方法と第二補間方法とを、色選択ブロック６３の駆動のためのドライバソフトウェアプログラム等の設定により任意に選択できるようにしておく。これにより、設計変更の自由度が大幅に向上するものである。一方、「G」については、縦（上下）方向に隣接した「R」を補間し、横（左右）方向に隣接した「B」を補間するだけで、斜め四方の他の「G」に基づく補間は必要なく、図１３に示したような処理とは大きく異なった処理となる。

【００７６】

あるいは、このRGB-Bayerにおいて、例えば図１０中の太線枠内の２個の「G」のうち的一方については、かかる部分の画素の全体的な輝度成分や強調成分として擬似的に活用することも可能であり、各画素の色成分として抽出するのではなく画素の輝度成分や強調成分等の所定の特徴を示す「特徴データ（KEY信号）」として活用できる。

【００７７】

例えば、「R」，「G」，「B」として各８bitにKEY信号８bitを追加した３２bit信号を、４色信号として図１４中の３×３ピクセルレジスタ６２上に配置し、リアルタイムプロセッシングユニット２３の各ブロック４３，４４，４５における処理過程で、各画素毎の「特徴データ（後述）」として使用す

る。

【 0 0 7 8 】

さらに、4 色系の補色タイプ（Y M C G 系等）においても、例えば「G」については、かかる部分の画素の全体的な輝度成分や強調成分として擬似的に活用することも可能であり、各画素の色成分として抽出するのではなく画素の輝度成分や強調成分等の所定の特徴を示す「特徴データ（後述）」として活用できる。

【 0 0 7 9 】

尚、一般的には、3 色系処理と 4 色系処理を扱える処理回路において、3 色系の処理を行う場合には、3 色データを所定のメモリ上で詰めて格納するか、4 色目のデータを無視して処理する方法が考えられる。しかしながら、特に後者の場合、メモリや処理回路を有効に活用できないという問題が生じる。

【 0 0 8 0 】

これに対して、この実施の形態のデジタルスチルカメラでは、主メモリ 2 9 内の 4 色処理のメモリ配置の中に 3 色データを格納した場合に、4 色目に相当する領域に各画素を格納し、後述の色空間変換・色抑圧処理部 4 3 や C P U 2 4 でソフトウェア処理において画素毎に所定の特徴づけを行うための後述の「特徴データ（KEY 信号：例えば「G」）」として活用するようにする。かかる 4 色目の画素補間の処理を、リアルタイムプロセッシングユニット 2 3 での処理の中で使用することによって、各ブロック 4 3, 4 4, 4 5 における各種の非線型処理や画素単位処理を非常に高速に行うことができるものである。

【 0 0 8 1 】

かかる色補間処理では、図 1 4 の如く、単一画素処理部 4 1 のリミッタ 5 8 から出力されてきた各画素データに対して、上述のようにラインバッファ 6 1 a, 6 1 b を使用しながら、3 × 3 ピクセルレジスタ 6 2 に各色成分を配置し、これらの各色成分の信号を、水平同期信号に基づく H _ C o u n t 信号及び垂直同期信号に基づく V _ C o u n t 信号の入力に従って色選択ブロック 6 3 でセレクトしながら平均化処理を行って画素補間を行う。これにより、リアルタイムプロセッシングユニット 2 3 の後段の各ブロック 4 3, 4 4, 4 5 における処理過程で、各画素毎の「特徴データ（後述）」として使用することが可能となる。

【 0 0 8 2 】

このように、画素補間・ガンマ処理部 4 2 においては、RGB-Bayer のような 3 色系の処理について、色選択ブロックの一部（4 色目）を置き換えることによって処理を行えるので、同一の回路により 3 色系と 4 色系の両方をリアルタイム処理できるものである。したがって、従来のように、RGB 用の画素補間回路と補色（4 色系）用の画素補間回路を独立のものとして別々に設置していた場合に比べ、回路規模を非常に小さくでき、また消費電力を抑制することが可能となる。さらに、かかる処理を CPU 2 4 によりソフトウェアプログラムに基づいて処理する場合を考えると、一旦フレーム単位で画像をメモリに格納した後、その画像中の各画素につき縦横の平均化処理を行って色補間することになるので、これをすべての画素について処理することになると、処理の工程が膨大となり多大な時間を要するのに対して、この実施の形態では、リアルタイムプロセッシングユニット 2 3 内でリアルタイムに処理を行っている分、処理速度が大幅に向上する。

【 0 0 8 3 】

尚、画素補間・ガンマ処理部 4 2 の色選択ブロック 6 3 には、「G」信号の高域成分（Gh 信号）を抜き出して、これに基づいて AF（オートフォーカス）用の高周波成分の評価（AF 評価）を行う AF 評価機能が有せしめられている。図 1 5 は、RGB-Bayer での Gh 信号に基づいて AF 評価用の高周波成分の評価値（高周波成分評価値）を作成する機能において、ある瞬間の画素配列中の一部のタイミングのデータ（「G」信号）を抜き出して AF 評価を行う様子を示したブロック図である。AF 評価は、その瞬間にエッジが明確に出てきているかどうかを検出することで行うことが可能であり、一般に、FFT（高速フーリエ変換）等により高周波成分のみのレベルを抽出し、この抽出値に基づいて判定すれば、最良の AF 評価値を得ることができる。しかしながら、リアルタイムプロセッシングユニット 2 3 において入力データ（Input Data）が次々と入力される状況で FFT の処理を行うことは極めて困難であり、また、フレーム単位で画像を主メモリ 2 9 に格納し、CPU 2 4 によりソフトウェア処理で FFT の処理を行う場合は、処理が複雑になると共に多大な時間を要するため効率的でない。そ

ここで、近隣の同一色成分の画素をセレクタ64で選択して抽出し、抽出された同一色成分の画素の差分値を演算回路65で絶対値化して求め、かかる一連の処理で連続して得られる絶対値を、バッファ66及び加算器67からなる帰還回路としての累積加算器68で積分し、その積分値（累積値）の変化値（微分値）の極大点を求めることでAF評価を行っている。即ち、セレクタ64、演算回路65及び累積加算器68で、オートフォーカスのための高周波成分評価値を出力するオートフォーカス評価部を構成するものである。

【0084】

そして、この色選択ブロック63内のオートフォーカス評価部では、入力データに対してAF評価を行う際に、RGB-Bayer中の同一色の色成分として最も多い「G」成分を使用することとし、特にこの色選択ブロック63では、「G」成分の値の差分抽出対象として直近のものであるか、あるいはこれより離隔した「G」成分の値を差分抽出対象として選択するかについて、セレクタ64によって任意に選択的に変更できるようになっている。即ち、ある場合には、演算回路65の一方のB入力端子65bに入力される「G」信号（注目画素）に最も近い「G」信号として、セレクタ64のD入力端子に入力される「G」信号を選択し、またある場合には、演算回路65の一方のB入力端子65bに入力される注目画素の「G」信号に最も遠い「G」信号として、セレクタ64のA入力端子に入力される「G」信号を選択し、さらにある場合には、セレクタ64のB入力端子またはC入力端子に入力される「G」信号を選択して注目画素の「G」信号との差分値を演算することが可能となっている。このように、セレクタ64によって注目画素からの離間距離を変更して差分値を求めることができるので、AF評価における着目周波数を容易に変更できる。これは、人間が画像を肉視した場合にピントが合ったと感じる周波数は、必ずしも隣接画素レベルの最大周波数とは限らず、2～4ピクセル程度離間した画素でピントを合わせても十分にフォーカスが合ったように感じる。これに対して、例えばCCD21の撮像素素に異変が見られた場合や、ここからの信号出力の課程でノイズがコンデンサに混入する場合のように、画素中に何らかのノイズが発生した場合には、殆どの場合、隣接画素毎に大きな変化が生じるため、隣接画素のみで差分を求める場合には、ノイズ

の影響でAF評価が過大評価されるおそれがあることを考慮したものである。即ち、セクタ64でAF評価における着目周波数を変更することで、ノイズの影響を低減しながら、肉視に耐えるフォーカス合わせが可能となるものである。尚、このセクタ64の選択は、実際のCCD21の画素ピッチ等の特性に応じて変化させればよい。同じ被写体や風景等を撮像する場合でも、CCD21の画素ピッチ等の特性によって隣接する注目画素のピッチも変化することになるため、実際のCCD21の画素ピッチ等の特性に応じてセクタ64で着目周波数を変化させることで、AF評価の精度を一定レベルに維持でき、故に同一のリアルタイムプロセッシングユニット23として様々な特性のCCD21に対応することが可能となる。

【0085】

また、画素補間・ガンマ処理部42の色選択ブロック63には、CCD21の欠陥画素を補正する欠陥画素補正機能が有せしめられている。

【0086】

一般に、CCD21の欠陥画素補正では、画像中にピクセル単位で欠陥画素が含まれて入力された場合に、これをそのまま使用すると画像が不自然になってしまうため、例えば、この欠陥画素と同じ色成分として1つ前に入力された色データ（例えば図15の例では同じ色成分の画素が1つおきに入力されるため、2画素前の色データが対象となる）で画素補充を行う方法がある。通常のCCD21はフレーム中に100万画素程度の画素を有するため、まれに欠陥画素が発生しても、上記の比較的単純な方法で画素の補充を行っても十分に肉視に耐える画像を得ることができる。

【0087】

この場合、従来のCCDの欠陥画素補正においては、欠陥画素の垂直方向（V）と水平方向（H）のアドレス情報をRPU（リアルタイムプロセッシングユニット）の内部の複数（予想される欠陥画素の総数分）のレジスタに格納しておき、アドレス値がCCDのTG（タイミングジェネレータ）の垂直（V）カウント値及び水平（H）カウント値と一致したタイミングで欠陥信号を発生し、そのタイミングの画素データを周囲の画素（一般的には直前の同色の画素）で置き換え

る等の動作を行なって補正することが行われていた。

【0088】

しかし、この従来の方法では、予想される欠陥画素の総数分だけのアドレスデータを格納するのに十分な数のレジスタをRPU内部に持つ必要がある。ところが、近年のCCDの画素数の増大に伴って、欠陥画素も増大する傾向にあるため、次第に内部のレジスタの個数が増大し、消費電力の増大等の問題を生じてきた。また、欠陥画素の総数は、通常は数個～20個程度と予想されるものの、必ずしもこの個数内に収まるとは限らず、特に、欠陥であるか否かの評価におけるしきい値によって欠陥画素と判断される画素の個数も大きく変化するため、1つのCCDに対して数個～20個程度の数の欠陥では十分とは言えなかった。しかしながら、例えば、1000個程度の欠陥画素が予想される場合に、上記の従来の方法ではRPU内に1000個程度のレジスタを設置しなければならないことになるが、これは回路規模の制限から現実的でなく、多くの場合は1つのCCDに対して数個～20個程度の数の欠陥しか補正できないこととなっていた。

【0089】

これに対し、この実施の形態に係るデジタルスチルカメラでは、リアルタイムプロセッシングユニット23内に欠陥画素アドレス格納用のレジスタを設置するのではなく、CCD21の欠陥画素の位置情報を時間位置順に主メモリ29上に格納しておき、この主メモリ29中の欠陥画素の位置情報を、図16の如く、シフトレジスタ71a、71bと比較器(CMP)72a、72bを組み合わせる欠陥画素タイミング発生回路73にダイレクトメモリアクセス(DMA)で入力してやることで、CCDの欠陥画素補正を行うようになっている。即ち、このシフトレジスタ71a、71bと比較器(CMP)72a、72bとで、欠陥画素補正部を構成するものである。

【0090】

具体的には、CCDの欠陥画素アドレスを主メモリ29(図1参照)中の任意の格納領域に当該欠陥画素の発生時間の順序で格納しておき、ダイレクトメモリアクセス(DMA)により1word長のレジスタ(FIFO)74を通じて画素補間・ガンマ処理部42内の欠陥画素タイミング発生回路73内に平行に設置

された各シフトレジスタ 71 a, 71 b に入力し、それぞれのシフトレジスタ 71 a, 71 b の最終段からそれぞれの比較器 72 a, 72 b にデータ入力して垂直 (V) カウント値及び水平 (H) カウント値に対して比較してやることにより、實際上、欠陥画素数の制限なしに補正を行なうことができる。

【0091】

ここで、一方のシフトレジスタ 71 a とこれに接続された一方の比較器 72 a は、水平方向 (H) の欠陥画素の出現タイミング (アドレス) を認識するものであり、他方のシフトレジスタ 71 b とこれに接続された他方の比較器 72 b は、垂直方向 (V) の欠陥画素の出現タイミング (アドレス) を認識するものである。

【0092】

そして、リアルタイムプロセッシングユニット 23 内でカウントされた垂直 (V) カウント値及び水平 (H) カウント値がそれぞれ比較器 72 a, 72 b に入力されており、この比較器 72 a, 72 b において、シフトレジスタ 71 a, 71 b の最終段 (71 a f, 71 b f) の出力アドレスと、前述の垂直 (V) カウント値及び水平 (H) カウント値とが一致したと判断した場合に、論理積回路 75 及びレジスタ (DMA Req. Trigger) 76 を通じて欠陥画素タイミング (CCD Detect Timing) 信号を出力するようになっている。

【0093】

これと同時に、最終段のシフトレジスタ 71 a f (HCReg 0), 71 b f (VCR eg 0) には、その 1 つ前段のシフトレジスタ 71 a f - 1 (HCReg 1), 71 b f - 1 (VCR eg 1) の値がロードされる。また最前段のシフトレジスタ 71 a 1 (HCReg N), 71 b 1 (VCR eg N) へはその前段の 1 word 長のレジスタ (FIFO) 74 を通じて得られた主メモリ 29 内の欠陥画素アドレス (DMA Data) がロードされる。

【0094】

ここで、欠陥画素アドレス (DMA Data) を主メモリ 29 から受け入れるためのレジスタ (FIFO) 74 を単一のみに設ける場合、レジスタ (FIFO) 74 内の値を、新たに受け入れた欠陥画素アドレス (DMA Data) の値に書き換える課

程で様々に変化する。その課程において、レジスタ 74 内の値が一瞬でも偶然に垂直 (V) カウント値及び水平 (H) カウント値と同じ値になったときには、比較器 72 a, 72 b は誤って肯定的な比較結果を出力してしまうおそれがある (ハザードの発生の問題)。

【0095】

しかしながら、この実施の形態では、レジスタ 74 と比較器 72 a, 72 b との間にシフトレジスタ 71 a, 71 b を介在させているので、かかるハザードの発生の問題を解消できる。具体的には、比較器 72 a, 72 b への入力シフトレジスタ 71 a, 71 b の最終段のシフトレジスタ 71 a f, 71 b f からの信号が入力されるようになっており、レジスタ 74 が直接比較器 72 a, 72 b に接続される訳ではない。そして、各シフトレジスタ 71 a, 71 b のシフトは、比較器 72 a, 72 b での比較結果が肯定的に得られた場合 (一致信号が出力される場合) に限り、この比較器 72 a, 72 b からの出力信号に基づいたタイミングで実行されるようになっている。この場合、比較器 72 a, 72 b で比較されるデータは常に最終段のシフトレジスタ 71 a f, 71 b f からのものに限られるので、レジスタ 74 のデータがいつ書き換えられても、比較器 72 a, 72 b から一致信号が出力されることはなく、故にハザードの発生の問題を解消できる。

【0096】

尚、シフトレジスタ 74 からのロードが発生する際には、比較器 72 a, 72 b からの一致信号に応じて、レジスタ (DMA Req. Trigger) 76 が DMA コントローラ 32 (図 1 参照) に対して主メモリ 29 内の欠陥画素アドレス (DMA Data) についてのデータ転送要求 (DMA Request to DMA Controller) を発生する。これに回答した DMA による実際のデータ転送は、次の欠陥画素のタイミングまでに終了していればよい。尚、図 16 とは異なる例として、最終段のシフトレジスタ 71 a f, 71 b f より前段のシフトレジスタ 71 a 1 ~ 71 a f - 1, 71 b 1 ~ 71 b f - 1 の動作を DMA でのデータ転送の完了信号で制御すれば、DMA による実際のデータ転送に関して、ある程度の時間的な余裕を稼ぐことができる。

【0097】

また、DMAによるデータ転送を使用しない場合には、最終段のシフトレジスタ71af, 71bfからの出力データを、セクタ77a, 77bによって最前段の最前段のシフトレジスタ71a1, 71b1に切り換えて入力しておくことにより、シフトレジスタ71a, 71bの段数分の数の欠陥画素を補正することが可能である。

【0098】

いずれの場合も、アドレスデータは、シフトレジスタ71a, 71bの最終段のシフトレジスタ71af, 71bfから遡って、主メモリ29のアドレスデータまで発生時間順に並んでいることが必要となる。

【0099】

このような構成により、容量の大きい主メモリ29内に欠陥画素アドレスを格納することで、欠陥画素の総数が例えば1000個程度に多大な場合にも容易に欠陥画素補正処理を行うことができる。そして、内部のレジスタ74, 76は図16のように最低2つだけでよいので、予想される欠陥画素の総数分だけの数のレジスタをRPU内部に持つ場合に比べて、回路規模を大幅に削減できる。

【0100】

尚、画素補間・ガンマ処理部42の色選択ブロック63は、「G」信号の高域成分(Gh)のみを抜き出して色空間変換・色抑圧処理部43に出力するようになっている。

【0101】

次に、画素補間・ガンマ処理部42のガンマ補正機能について説明する。この画素補間・ガンマ処理部42では、図17及び図18の如く、入力データが12ビット信号となる1個のガンマ補正テーブル78(図17)を、10ビット×4($=2^{12-10}$)個のガンマ補正用ルックアップテーブル78a~78d(図18)として使用するようになっている。

【0102】

即ち、アナログ信号処理回路22でA/D変換されたCCD21は、単一画素処理部41を経て、画素補間・ガンマ処理部42の画素補間処理を経た後に、こ

のガンマ補正処理が行われるが、このガンマ補正処理に入力される入力データが 12 ビット長のときには、この 12 ビット長で入力された信号について、上述のガンマ補正テーブル 78 がメモリサイズとして 4096 バイトの 8 ビット出力のものとして機能する一方、入力データが 10 ビットの場合は、入力データの各色毎に独立な 10 ビット入力、8 ビット出力の 4 個のガンマ補正用ルックアップテーブルとして機能するルックアップテーブル (LUT) として機能するようになっている。

【0103】

前段の画素補間処理を行った後、4 色系の画素データの場合は一度に 4 色の入力データが与えられることになるため、ガンマ補正テーブル 78 の入力ポートとして 4 つの入力ポート I P o r t 1 ~ I P o r t 4 が用意されており、これに対応してガンマ補正テーブル 78 の出力ポートも 4 つの出力ポート O P o r t 1 ~ O P o r t 4 が用意されている。

【0104】

一般に、入力データが 12 ビット長の場合は、ルックアップテーブル 78 は 12 ビット長のものが必要とされる。ところで、12 ビット長の入力データから 8 ビット長の出力信号へ変換するためのルックアップテーブル 78 は、各色毎の非線形性が除去できないという問題があるため、すべての色に対して 1 種類しか定義することができない。この場合に、4 色系の画素データを扱う場合は、4 種類の 12 ビット長のルックアップテーブルを内蔵することが望ましいのであるが、この場合は回路規模が 4 倍となり、消費電力等の点で問題となる。

【0105】

一方、常に 12 ビット長の入力データが要求されるとは限らず、10 ビット長の入力データが適用される場合もある。この場合に、上記の 12 ビット長の入力データの処理同様にデータを扱えば、余剰ビットが発生し、非効率であった。

【0106】

そこで、この実施の形態に係るデジタルスチルカメラでは、12 ビット長の入力データを扱う場合には、ルックアップテーブル 78 が単一の 12 ビット長ル

ックアップテーブルとして動作する一方、10ビット長の入力データを扱う場合には、4色それぞれに独立な4種類のルックアップテーブル78a~78dを使用することができるようになっている。

【0107】

具体的には、メモリサイズとして4096バイトのルックアップテーブル78を、予め4個の1024バイトのルックアップテーブル78a~78dに分割して設計しておき、各ルックアップテーブル78a~78dの入力側において、上位2ビットの上位入力端子(Upper)と、下位10ビットの下位入力端子(Lower)とを形成するとともに、上位2ビットの上位入力端子(Upper)にはそれぞれセクタ79a~79dからの出力信号が入力されるように接続しておき、この各セクタ79a, 79bにおいて、各ルックアップテーブル78a~78dのポート番号(0x0~0x3)(A入力端子)と入力データの上位2ビットの値(B入力端子)とを選択できるようになっている。そして、12ビット長の入力データを扱う場合には、CPU24等による制御切換でセクタ79a~79dをB入力端子側(入力データの上位2ビットの値)に切り換える一方、10ビット長の入力データを扱う場合には、同様にしてセクタ79a~79dをA入力端子側(各ルックアップテーブル78a~78dのポート番号(0x0~0x3))に切り換えるようになっている。

【0108】

これにより、12ビット長の入力データを扱う場合には、セクタ79a~79dのB入力端子側への切り換えにより入力データの上位2ビットの値が各ルックアップテーブル78a~78dの上位2ビットの上位入力端子(Upper)に入力され、また入力データの下位10ビットの値が各ルックアップテーブル78a~78dの下位10ビットの下位入力端子(Lower)にそのまま入力される。

【0109】

一方、10ビット長の入力データを扱う場合には、セクタ79a~79dのA入力端子側への切り換えにより入力データの各ルックアップテーブル78a~78dのポート番号(0x0~0x3)が各ルックアップテーブル78a~78dの上位2ビットの上位入力端子(Upper)に入力され、また入力データの下位

10ビットの値が各ルックアップテーブル78a~78dの下位10ビットの下位入力端子(Lower)にそのまま入力される。

【0110】

これにより、10ビット長の入力データを扱う場合には、4色すべての色に対してそれぞれ10ビット長(1024ビット)のルックアップテーブル78a~78dを互いに独立に且つ任意に定義できる。

【0111】

また、このガンマ補正処理における入力データは、図14の如く、主メモリ29内に格納されている画素データがFIFO73及びカラーサンプリングモジュール(Color Over Sampling Module)74を通じてセレクタ79a~79dに入力されるようになっており、これにより、一旦主メモリ29内に格納した画像に対して、上記のリアルタイムによるガンマ補正処理と同様の処理をいつでも行えるようになっている(ポスト処理:Post Processing)。

【0112】

尚、ここでのガンマ補正処理を、上述の画素補間処理より前段階で実行する場合は、入力ポートとして1つの入力ポート及び1つの出力ポートのみを容易するだけでよい。この場合は、かかる1つの入力ポート及び1つの出力ポートに対してセレクタ(図示せず)を設置し、このセレクタによりデータを4色に振り分けて、4種類のルックアップテーブル78a~78dに対して入出力するようにすればよい。したがって、この場合でも、ルックアップテーブル78(78a~78d)自体の構造は、図17及び図18に示したものと同様となる。

【0113】

また、ここでは、12ビット長と10ビット長の両方の入力データに対応できるルックアップテーブルについて説明したが、必ずしもこれに限定されるものではなく、一般に入力データがNビット長の場合は、このNビット長の処理を行うガンマ補正テーブル78として機能し、入力データが(N-2)ビット長のときは、 $4 (= 2^{N-(N-2)})$ 個のガンマ補正用ルックアップテーブル78a~78dとして機能するようにすればよい。これによって、それぞれの入力データのビット長に合わせて、余剰ビットが生じることなく、同一のルックアップテーブル7

8 (78a~78d) を有効に活用することができる。

【0114】

＜色空間変換・色抑圧処理部43の構成及び動作＞

この色空間変換・色抑圧処理部43は、3色系のRGB-Bayerまたは4色系の補色タイプ(YMCG系等)の画素データを、例えば、YCrCb等の所定の色空間に変換する色空間変換機能と、さらに画像中の明部と暗部の色抑圧(クロマサプレス：偽色防止)を行う色抑圧機能とを備えたものである。

【0115】

色空間変換・色抑圧処理部43の色空間変換機能は、上述のように、3色系のRGB-Bayerまたは4色系の補色タイプ(YMCG系等)の画素データを、例えば、YCrCb等の所定の色空間に変換する機能であるが、特に3色系の処理と4色系の処理の両方を扱えるようになっており、さらに3色系の処理を行う場合に、4色目の色データ領域の信号を各画素の「特徴データ(KEY信号)」として使用できるようにしたものである。

【0116】

例えばRGB-Bayerの場合、「R」、「G」、「B」の各8ビット長の信号に「特徴データ」としての8ビット長の信号を追加した合計32(=8×4)ビット長の信号を、4色信号として主メモリ29内に配置し、リアルタイムプロセッシングユニット23の処理過程で、「特徴データ」を各画素毎の例えば「強調成分」等の「特徴データ」として使用する。

【0117】

一般に、3色系処理と4色系処理の両方を扱える処理回路においては、3色系の処理を行う場合に、3色の画素データを主メモリ内に詰めて格納するか、4色目のデータを無視して処理する方法が考えられるが、特に後者の場合は、主メモリや処理回路を有効に活用できないという問題がある旨は前述の通りである。そこで、この実施の形態に係るデジタルスチルカメラでは、4色処理の主メモリ29の中に3色系の画素データを格納する場合に、4色目に相当する領域に各画素を画素毎に特徴づけるための「特徴データ」を併せて格納し、後に再びリアルタイムプロセッシングユニット23での何らかの処理に使用したり、あるいは一

且主メモリ 29 内に格納した後に CPU 24 でのソフトウェア処理で活用したりすることによって、各種の非線型処理や画素単位処理を非常に高速に行うことが可能となるものである。

【0118】

具体的には、この色空間変換・色抑圧処理部 43 は、図 19 の如く、画素補間・ガンマ処理部 42 のガンマ補正テーブル 78 から出力されてきた画素データの 4 色目の成分と、画素補間・ガンマ処理部 42 の色選択ブロック 63 から出力されてきた「G」信号の高域成分（Gh 信号）とを選択するセレクタ 81 と、このセレクタ 81 で選択された側のデータが格納される特徴データ用ルックアップテーブル（8 to 8 LUT）82 と、画素補間・ガンマ処理部 42 のガンマ補正テーブル 78 から出力されてきた画素データの 1 色目から 3 色目までの各成分及びセレクタ 81 で選択された側のデータに基づいて YCrCb 等の輝度成分（YCrCb 空間においては「Y」成分）を有する所定の 3 成分色空間への変換を行う色空間変換回路 83 と、YCrCb 等の所定の 3 成分色空間のうちの輝度成分（「Y」成分）のみが入力される輝度用ルックアップテーブル（8 to 8 LUT）84 と、色空間変換回路 83 からの 3 成分（例えば「Y」「Cr」「Cb」）が入力されて当該 3 成分により CCD 21 の撮像時の露出決定（オートエクスポージャー）のための評価値を出力する露出決定評価器（AE Evaluation Value Detector）85 と、露出決定評価器 85 から出力された 3 成分（例えば「Y」「Cr」「Cb」）のそれぞれに対して輝度用ルックアップテーブル 84 内の輝度データを用いて変調する 3 個の乗算器 86a～86c と、各乗算器 86a～86c を経由した 3 成分（例えば「Y」「Cr」「Cb」）のそれぞれに対して特徴データ用ルックアップテーブル 82 内で変換された特徴データを用いて変調する 3 個の乗算器 87a～87c とを備える。

【0119】

このように、セレクタ 81 で選択した 4 色目の色成分を特徴データ用ルックアップテーブル 82 に特徴データとして入力し、この特徴データを用いて 3 個の画素データのそれぞれの変調を容易に行うことができる。これにより、例えば所定の空間フィルタを設け、この空間フィルタにより特定の周波数（高周波成分等）

に注目した値を4色目のデータとして抽出し、その特定の周波数の値が所定のスレッシュレベルより大きい場合等に色信号抑圧等の様々な例外的画像処理を容易に実行できる。あるいは、図19には図示していないが、特徴データに所定の係数を積算した後、加算器を用いて3個の画素データに加算するようなことも容易に可能となる。さらに、図19には図示していないが、画素データの3成分（例えば「Y」「Cr」「Cb」）に加えて、特徴データ（4色目の信号）をメインバス28を通じて主メモリ29に格納することが可能となり、この一旦主メモリ29に格納されたデータ中の特徴データについていつでも容易に様々な例外的画像処理を行うことができる。この場合は、CPU24でのソフトウェア処理で活用してもよいし、また、4色目のデータとして主メモリ29内に一旦格納した後、再度リアルタイムプロセッシングユニット23で活用してもよいものである。

【0120】

また、上述のように、図20の如く、セレクタ81での選択動作により、ガンマ補正テーブル78からの入力データの4色目の信号（「色4」）と、色選択ブロック63より出力されるグリーン（G）の高域成分（Gh信号）を特徴データ用ルックアップテーブル82に入力し、ここからの出力を露出決定評価器85から出力された3成分（例えば「Y」「Cr」「Cb」）のそれぞれに対し乗算するかどうかを決定するようにしているので、実際に搭載するCCD21の光学的特性に適するようにセレクタ81での選択を行い、上述のポスト処理（Post Processing）における「Y」または「Cr」「Cb」の画素毎の変調等の処理を、CPU24でのソフトウェア処理に依らずに高速に行うことができる。

【0121】

また、色選択ブロック（画素補間ブロック）63から出力される「Gh」信号をセレクタ81aで選択して色空間変換回路83の4色目に入力できるようにしている。これにより、例えばRGB-Bayerのような3色系画素配列のデータ処理時には、「Gh」信号の成分を色空間変換回路83において各色成分に任意に加算することができる。もともと、グリーン（G）の画素成分は、「Y（輝度）（ $= 0.6G + 0.3R + 0.1B$ ）」信号の生成過程において、6割の重み付けがなされるため、輝度表示への寄与率が高い。そして、「G」成分の高域

信号である「Gh」信号は、「Y（輝度）」信号の高域成分としてそのまま使用することも可能である。したがって、この「Gh」信号を各色成分へ容易に加算することができる。例えば、RGB-Bayerの場合、「R」、「G」、「B」の各成分に「Gh」信号の成分を一種の輝度特性として一定の係数で足し込めば、そのまま各成分の輝度の調整が容易に可能となる。

【0122】

ここで、一般に、Gh等の高域成分を「Y」信号に独立加算すると、ゲイン調整用の乗算器とY信号等への加算器が独立に必要となってしまう、回路規模が増大してしまう。その一方、4色系の処理も行なえる色空間変換回路の場合、この色空間変換回路が4成分の入力機能を持っているのが常であるが、RGB-Bayerのような3色系画素配列のデータ処理に対しては、4色目の係数は通常すべて「0」に設定され使用しておらず、余剰な入力端子となって非効率である。このことを考慮し、この実施の形態では、「Gh」信号をこの4色目の色成分としてセレクタ81で選択的に入力できるようにすることによって、RGB-Bayerのような3色系画素配列のデータ処理においても、乗算器、加算器を追加せずに、「Gh」信号のゲイン調整と各色成分への加算が達成できる。

【0123】

色空間変換・色抑圧処理部43の輝度用ルックアップテーブル(8 to 8 LUT)84は、色空間変換回路83から出力される「Y（輝度成分）」「Cr（第一色信号）」「Cb（第二色信号）」の色空間領域の信号において、特に「Y」信号のみが入力され、その出力を露出決定評価器85からの「Y」、「Cr」、「Cb」の各成分に対して乗算するかどうかを決定する機能を有している。

【0124】

そして、特に「Cr」信号及び「Cb」信号の乗算をONにし、「Y」信号の乗算をOFFにした場合は、暗部と明部の色抑圧（クロマサプレス）等を行うことができる（色抑圧機能）ものである。

【0125】

一般に、画像中の暗部は、様々なノイズの影響を受けやすい性質があり、故に暗部ではできるだけ発色を抑制することが自然な画質を出力することにつながる

。一方、画像中の明部は、これを撮像したCCD21やその他の種々のハードウェア部品の特性に応じて変調がかかりやすい部分であり、ホワイトバランスが狂いやすい部分であるため、やはりできるだけ発色を抑制することが自然な画質を出力することに寄与する。これらのことを考慮し、画像中の明部と暗部において発色を抑制するのが色抑圧（クロマサプレス）機能の目的である。尚、図21はクロマサプレス処理時の動作例を示すブロック図である。ここでは、色空間変換回路83中に示した各演算関数に基づいて「色1」～「色4」までの4色の成分を「Y」, 「Cr」, 「Cb」の各成分に変換した後、「Y」信号のみを輝度用ルックアップテーブル84に留保し、これを各乗算器86a～86cで「Y」以外の各成分「Cr」, 「Cb」に乗算している。

【0126】

一般に、例えばクロマサプレス処理の場合、画像中の明部のクロマサプレスを行うためには、「Y」信号を一定のしきい値と比較し、「Y」信号がある一定レベルを超えたところで「Y」信号の傾きを変更するようにした演算回路を使用する方法がある。また、画像中の暗部でのクロマサプレスを行う場合、明部の回路と独立にサプレス回路を追加して設置することが多い。しかしながら、このような一般的な方法では、回路点数が多大となり、回路構成の複雑化によりコストが上昇し、また回路の面積効率も良いものとは言えない。

【0127】

これに対し、この実施の形態に係るデジタルスチルカメラでは、「Y」信号を8ビット信号として輝度用ルックアップテーブル（8 to 8 LUT）84に入力し、ここから8ビット出力信号として出力するようにしているので、「Y」信号、「Cr」信号、「Cb」信号にのそれぞれに対して独立に乗算することができる。これにより、画像中の暗部及び明部のクロマサプレスを単一の回路で行うことができるようになる。

【0128】

ここで、このクロマサプレス処理について、例えば、CPU24でのソフトウェア処理でGh信号等の高域信号を所定のしきい値と比較し、高域信号がその閾値を超えていればクロマサプレスを行うようにする場合を考えると、このCPU

24での処理ではクロマサプレスの方法が固定され、特定の画像で色の付くべき領域に色が見つからない等の不具合を発生していた。これらの場合はソフトウェアで色の抑圧を行なう等の方法で対応していたが、処理時間が非常に長くなってしまい問題となっていた。

【0129】

しかしながら、この実施の形態では、一旦主メモリ29内に画像を格納し、CPU24等により画素毎に特徴データを付加して再び主メモリ29内に格納した後、さらにリアルタイムプロセッシングユニット23での処理を行うことができるようになっていたので、一つの回路で状況に応じてGh成分によるクロマサプレスとソフトウェアで生成された特徴データ信号によるクロマサプレスをリアルタイム処理にてスピードの低下を発生させずに使用することができる。

【0130】

また、色空間変換回路83からの「Y」信号の乗算のみをONにすることで、「Y」信号に対してのみガンマ変換を行うことができるものである（ガンマ変換機能）。ここで、図22はガンマ変換処理時の動作を示すブロック図である。ここでは、色空間変換回路83中に示した各演算式に基づいて「色1」～「色4」までの4色の成分を「Y」、「Cr」、「Cb」の各成分に変換した後、「Y」信号のみを輝度用ルックアップテーブル84に留保し、これを各乗算器86a～86cで各成分「Y」、「Cr」、「Cb」のすべてにそれぞれ乗算している。

【0131】

そして、かかるガンマ変換処理と上述のクロマサプレス処理とを同一の回路で行っているので、回路構成は非常に簡単なものでよい。特に、2個の輝度用ルックアップテーブル（8 to 8 LUT）84を独立に持てば、色抑圧機能とガンマ変換機能の両者を同時に発揮することができる。一般のリアルタイムプロセッシングユニットでは、この「クロマサプレス」と「ガンマ補正」の2つの機能を持たせる場合はこれらの機能を同時に使用できないという不都合が生じるが、この実施の形態に係るデジタルスチルカメラのリアルタイムプロセッシングユニット23では、一旦リアルタイムプロセッシングユニット23で処理された画素データについて、主メモリ29及びメインバス28を通じてダイレクトメモリアクセス

(DMA) により何度でも繰り返しリアルタイムプロセッシングユニット 2 3 を通過させることができるので、それぞれを別のパスに分けて使用することで、不都合なく処理することができる。

【0 1 3 2】

尚、ここでは「Y」, 「C r」, 「C b」の色空間信号に対する処理を説明したが、これに限るものではなく、例外的画像処理によりこれと全く異なる色空間信号に対しても、全く同様に実行することができる。

【0 1 3 3】

色空間変換・色抑圧処理部 4 3 の露出決定評価器 8 5 は、シャッタスピードや絞りの大きさ等を決定する際の前提として、実際の画像データの適正輝度に基づいて露出レベルの決定を行うためのもので、1 フレームの画像を複数のブロックに区分けし、ブロック同士の輝度（明るさ）を平準化するための輝度評価を行うものである。

【0 1 3 4】

一般に、露出決定の評価を行う場合、フレーム中の中心に位置する長方形領域のブロックとその周辺部のブロックの「Y（輝度）」信号（または「G（緑色成分）」信号）の平均値を評価値とする方法（第一の露出決定評価方法：図 2 3 参照）がある。通常、中央部分の画像は被写体が映し出されるために比較的露出決定を厳密に行いたいのに対して、周辺部分については画像中の重要度が低いと予想されるために中央部分に比べて露出決定の厳密性が要求されないことが多い。このような場合には、この第一の露出決定評価方法が有効となる。

【0 1 3 5】

この他、全領域を例えば 5 × 5 に等間隔に区切った各ブロックの各々の「Y」信号（または「G」信号）の平均値を露出決定に使用する評価値とする方法（第二の露出決定評価方法：図 2 4 参照）もある。

【0 1 3 6】

しかしながら、中心位置とその周囲のブロックをそれぞれ平均して行う第一の露出決定評価方法では、中央重点露出決定と全体的な逆光補正は可能であるが、よりきめ細かな露出決定アルゴリズムの使用は難しい。また、等間隔のブロック

分割を行う第二の露出決定評価方法では、中央重点の露出決定を行なうときとスポット的な露出決定を行なうときでそれぞれ異なるブロックの合成処理が必要となり、演算に時間がかかる。また、ブロック境界を最適な位置に設定する際、すべてのブロックの面積が同一でなければならないという制約があるため、かかる制約を満たすためにはブロックの分割数が増大しがちであり、この場合は回路規模が大きくなって消費電力を増大したり、露出決定評価の処理時間が多大となってしまう。

【0137】

これらのことを考慮し、この実施の形態に係るデジタルスチルカメラの露出決定評価器 85 は、複数のブロックに分割する際に、図 23 及び図 24 の如く、各ブロックの境界の位置を任意に変更可能としたものである。

【0138】

ここで、図 23 は中心位置とその周囲のそれぞれのブロック同士との境界線を任意の位置に設定した場合の図、図 24 は各ブロックを同一面積に設定する場合の図である。

【0139】

即ち、露出決定の領域を少なくとも 3×3 以上のブロックに分割し、各ブロックの境界位置を自由に移動可能としており、例えば図 23 の場合は、各ブロック同士との境界線を全く任意の位置に設定している。また図 24 の場合は、同図中の太線の部分のみを確定することで、細線のように等間隔のブロックを設定する。これらの方法により、少ないブロック数で最適なブロック境界を選択することが可能となり、演算時間の増加を抑えつつ、露出決定の精度を向上させることができる。

【0140】

具体的には、この露出決定評価器 85 においては、リアルタイムプロセッシングユニット 23 のを駆動制御するためのドライバソフトウェアプログラムによって、CCD 21 の光学的特性に応じた最適なブロック同士との間の境界線を任意の位置に設定しておき、かかる境界線によって区画される各ブロック毎にすべての画素の「Y」信号等の輝度値を積分演算し、これらの各ブロック毎の積分値を評

価の対象とする。具体的な露出決定評価器 85 のハードウェア構成としては、カウンタ及び加算器等が内蔵されて構成される。あるいは、デジタルスチルカメラのユニットの表面に何らかのモード切替用の入力釦を設けておき、この入力釦によりブロック同士の間の境界線をいくつかのモード設定の位置に変更できるようにドライバソフトウェアプログラムを設定しておけば、ユーザーの意思により、状況に応じて最適な露出決定領域を選択できる。

【0141】

<空間フィルタ・コアリング処理部 44 の構成及び動作>

図 25 は空間フィルタ・コアリング処理部 44 の内部構成を示すブロック図である。ここでは、色空間変換・色抑圧処理部 43 の各乗算器 87a～87c からの色空間信号（「Y」，「Cr」，「Cb」）を、空間フィルタ 91（R00～R48）に対して複数のラインメモリ（2048 Variable Length FIFO）92a～92d を用いながら格納し、その後に輪郭補正処理を行うものである。

【0142】

このように、輪郭補正処理を行う場合に、この実施の形態では、各成分の信号（「Y」，「Cr」，「Cb」）と、これを強調した高周波成分の信号に分解して取り扱うことを可能としており、これにより各データにおけるビット長を小さくすることを可能としている。この理由を説明する。

【0143】

一般に、空間フィルタでの処理は、単に任意設定可能な一定の空間フィルタを通すだけであったが、この方法では、2つの問題点が存在する。

【0144】

まず、一般的なフィルタ処理を行なう際には、図 26 の如く、通常、中心画素の係数の絶対値 S_o は大きな値となるが、この中心画素から周辺に遠ざかるに従って絶対値 S_v が小さくなる。これは、輪郭補正処理を行った後のデータでも同様である（図 27）。しかし空間フィルタの汎用性を確保しようとする、周辺画素のビット長を小さくすることはできない。この場合、すべての画素の係数のビット長を中心画素のビット長に合わせて長くする必要があり、ほとんどの場合、用意したビット長を有効に使用することとはならなくなってしまう。

【0145】

そこで、この実施の形態では、空間フィルタ 91 (図 25) の出力と、中心画素の元データに各々係数を乗算し、その後で加算する構成とすることにより、各画素のビット長を増加することなく、必要十分なフィルタ演算を実行することを可能としている。

【0146】

具体的には、「Y」、「Cr」、「Cb」の色空間信号において輪郭補正処理を行う場合に、「Cr」成分及び「Cb」成分といった各色成分に対しては輪郭補正処理を行わず、「Y (輝度)」成分のみに対して輪郭補正処理を行うようにすれば、画像のコントラストが十分に強調され、これをもって輪郭を強調することができる。即ち、図 25 において、空間フィルタ 91 内の中心画素 (R24) の「Y」成分のみを配線 93 を通じて取り出し、乗算器 94 で所定の任意の係数を乗算する。一方、空間フィルタ 91 内の 12 ビット長の中心画素 (R24) の全成分の合計値を配線 96 で取り出し、これらに乗算器 97 で所定の任意の係数 (Ratio) を乗算して、非線形処理 (コアリング) を施すための第一コアリングファンクション (Coring Function) ブロック 98 に入力する。そして、この第一コアリングファンクションブロック 98 からの出力 (色線分の合計値) と、乗算器 94 で所定の係数が乗算された「Y」成分を加算器 99 により加算して、中心画素 (R24) の輪郭強調の値を算出し、他方、色信号 («Cr», «Cb») そのものについては、配線 101, 102 を通じてこれを取り出した後、第二及び第三コアリングファンクションブロック 103, 104 に格納した後、加算器 99 からの輪郭強調の値と併せて出力部 45 へ送出される。尚、これら要素 94, 97, 99 を総称して輪郭補正処理部と称する。

【0147】

また、これと同時に、各成分の信号 («Y (1 色目の成分)», «Cr (2 色目の成分)» 及び «Cb (3 色目の成分)») は配線 105 を通じて出力部 45 へ送出される。この際、「Y」成分、「Cr」成分、「Cb」成分及び乗算器 97 からの出力値 (空間フィルタ 91 からの出力値自身) のいずれかを特徴データ (KEY 信号) として扱うことを可能とするために、セレクタ 105a によって

4色目の成分として選択して出力できるようになっている。

【0148】

このように、この実施の形態では、空間フィルタ91（図25）の出力と、中心画素の元データに各々係数を乗算器94，97で乗算し、その後で加算器99で加算する構成とすることにより、各画素のビット長を増加することなく、必要十分なフィルタ演算を実行することが可能となる。また、元信号と高域信号が分離できるため、この高域信号に対し「コアリング」という非線形演算を施すことにより、ノイズの増加を抑えながら輪郭強調を行なうことができる。

【0149】

ここで、色信号（「Cr」，「Cb」）と輝度信号（「Y」）を独立に処理し、最後に加算してビデオ信号等を作成する方法も考えられ、この場合、輝度信号（「Y」）は輪郭強調を行われた後でガンマ変換を行なうことが多い。しかし、デジタルカメラの信号処理は、入力信号として10ビット～12ビットが使用されるため、ガンマ変換を処理の当初に行なってメモリ上のビット長を削減し、メモリ容量を削減すること、及びデジタル処理途中のビット長を削減し、回路規模を小さくすることが一般的に行なわれる。この形では輪郭補正処理を、ガンマ変換の後で行なうことが必要となってくる。

【0150】

一般に、「Y」成分の高周波数成分を抽出する場合、通常であれば高周波フィルタである空間フィルタ91のみを用いて実行する方法も考えられるが、この「Y」成分を用いて空間フィルタ91内の12ビット長の各要素（例えばR24）を輪郭強調する場合は、各要素自体にノイズが重畳していた場合、かかるノイズ成分も一緒に輪郭強調されてしまうおそれがあり、このままではノイズが目立った不自然な画像に変質してしまうおそれがある。

【0151】

そこで、ガンマ補正を行った後の信号に対して輪郭強調をする際に、高域成分がある一定レベルを超えたときのみ輪郭強調を行なう非線形演算（コアリング）が必要となる。ただし、ガンマ変換後の「Y」の高域信号に対してコアリングを行なうと、低輝度域では振幅が相対的に大きくなっているため、低輝度域の高

域成分により強く輪郭強調が行われる傾向となる。しかし、一方、実際に、強調が必要な信号は中輝度域から高輝度域に多く含まれ、低輝度域の高域成分はノイズが支配的であるため、空間フィルタ 91 を輪郭強調等に使用した場合には、すべての周波数成分を線形演算すると、ノイズの多い画像では小レベルのノイズを増幅してしまい、ノイズばかり強調されて、必要な信号が強調されずに見苦しくなる。

【0152】

ところで、このノイズは一般にコントラストは少ないが、非常に小さく現れるため高周波成分に偏って現れることが多い。そこで、この実施の形態のデジタルスチルカメラでは、コントラストの小さい部分については強調処理をできるだけ行わないように、基づいての信号をそのまま使用する一方、コントラストが一定水準以上の場合に強調処理を積極的に実行することが望ましいと言える。そこで、第一コアリングファンクション 98 においては、図 28 及び図 29 中の符号 98 内の非線形演算関数の如く、入力値に対して非線形な出力値を出力し、特に絶対値が所定のしきい値 α より少ない部分についてはこれを無視するようにすることで、低輝度域にはあまり強調を加えず、中輝度、高輝度域に強く強調を行ない、ノイズ成分を除去した形で画像をはっきりと補正することが可能になる。

【0153】

そして、このようにガンマ変換後の高域成分にコアリング処理を行なう場合に、特に、この実施の形態のデジタルスチルカメラでは、図 28 の如く、第一コアリングファンクション 98 に対する入力値（高周波信号）について、「Y」信号自身のガンマ特性を用いて変換したり、あるいは図 29 の如く、コアリングのしきい値 α (Thresh Level) 自体を「Y」信号自身のガンマ逆特性を用いて変換することにより、ガンマ変換前にコアリングを行なった場合と等価な処理を行なうことを可能としている。具体的には、ノイズが目立ちにくい明るい部分（「Y」信号の値が大きい場合）は、入力値に対してしきい値 α の幅を相対的に小さくなるよう設定し、輪郭強調がかかりやすくする一方、ノイズが目立ちやすい暗い部分（「Y」信号の値が小さい場合）では入力値に対してしきい値 α の幅を相対的に大きくなるよう設定することで、輪郭強調がかかりにくくする。そして、こ

のような逆変換特性を過補正気味に設定することで、低輝度域にはあまり強調を加えず、中輝度、高輝度域に強く強調を行ない、画像をよりはっきりと補正することが可能になる。

【0154】

尚、図28の例では、「Y」信号(Y0)の値によって逆ガンマ効果ブロック106で1倍から4倍までの値を正の一次関数(比率変換関数)により線形的に演算選出し、これを乗算器107によって入力値に乗算した後、セレクタ108によってこれを選択して第一コアリングファンクション98に入力値(ブロック内の非線形演算関数図の横軸)として入力し、これに対応する縦軸の値を出力するようになっている。これにより、コアリングでのしきい値 α に対する入力値の有効/無効の幅を変化させることができる。尚、同図中の符号109a, 109bはリミッタである。

【0155】

また、図29「Y」信号(Y0)の値によって逆ガンマ効果ブロック111で1倍から4倍までの値を負の一次関数(比率変換関数)により線形的に演算選出し、これをコアリングの初期しきい値 α_0 (Thresh Level) に対して乗算器112で乗算した後、セレクタ113によってこれを選択して第一コアリングファンクション98でのコアリングの実際のしきい値 α として設定することで、コアリングでの入力値に対するしきい値 α の幅を変化させることができる。尚、同図中の符号114a, 114bはリミッタである。

【0156】

尚、逆ガンマ効果ブロック106, 111では、線形的な変換関数を用いているが、非線形であっても差し支えない。

【0157】

また、図25においては、色信号(「Cr」, 「Cb」)についてもそれぞれ第二及び第三コアリングファンクション103, 104に入力されるようになっているが、ここでのコアリング処理は一般的な非線形関数によって処理されるため、ここでは説明を省略する。

【0158】

＜CCD 21としてインターレースタイプのものを使用した場合のリアルタイムプロセッシングユニット 23の構成及び動作＞

上述のように、このデジタルスチルカメラは、撮像素子である CCD 21として、インターレースタイプのものとプログレッシブタイプのものを選択して使用できるようになっている。

【0159】

一般に、プログレッシブタイプの CCD 21を使用する場合には、数ライン分のラインメモリを用意すれば、CCD 21からの画素データの読み出しと平行して、画素補間、色変換及び輪郭強調などの一般画像処理を同時に行ない、CCD 21からのデータ読み出しとほぼ同時にこれらの一般画像処理を終了させることができる。

【0160】

しかしながら、インターレースタイプの CCD 21では、偶数ラインのみのフィールド（偶数フィールド）と奇数ラインのみのフィールド（奇数フィールド）が交互に出力されてリアルタイムプロセッシングユニット 23に与えられる。この場合に、図 30の如く、インターレースタイプの CCD 21で撮像された画像を処理するために、両方のフィールドを 1 フレームの画像に合成して主メモリ 29内に格納した後に、初めて種々の画像処理の開始を行う方法が考えられる。しかしながら、この場合は、CCD 21からの画像データの格納のために主メモリ 29内に 1 フレーム中の全画素分の格納領域が使用されてしまい、回路的に大規模となる上、消費電力を多く必要としていた。また、読み出し終了まで画像処理を開始することができないため、撮影に時間がかかっていた。

【0161】

このことを考慮し、この実施の形態にかかるデジタルスチルカメラでは、図 31の如く、インターレースタイプの CCD 21の最初のフィールド（奇数フィールドまたは偶数フィールドのうち的一方：以下「第一フィールド」と称す）を主メモリ 29内に格納し、2 番目のフィールド（奇数フィールドまたは偶数フィールドのうちの他方：以下「第二フィールド」と称す）の読み出しと同時に、主

メモリ 29 から第一フィールドのデータをダイレクトメモリアクセスで読み出してリアルタイムプロセッシングユニット 23 に入力するようにしている。これにより、インターレースタイプの CCD 21 からの第二フィールドの読み出し期間中に、画素補間、色変換及び輪郭強調等の一般画像処理を同時に行なうことができ、第二フィールドの読み出し終了と同時に一般画像処理を終了させることができる。また、主メモリ 29 内において CCD 21 からのデータ格納のために容易する格納領域は、1 フィールド分（1/2 フレーム分）のみで良いので、主メモリ 29 内の必要容量を 2 分の 1 に低減できる。

【0162】

＜リアルタイムプロセッシングユニット 23 内のラインメモリ 61a, 61b, 92a～92d の画素数を超える水平画素数を有した CCD 21 を使用する場合＞

このデジタルスチルカメラにおいて、CCD 21 については、前述の通り、様々なタイプのものを選択して使用するようになっている。この場合、CCD 21 の水平画素数が、図 14 及び図 25 に示したラインメモリ 61a, 61b, 92a～92d の画素数を超える場合も考えられる。かかる大規模な素子配列を有する CCD 21 に対しては、この CCD 21 のデータを一度主メモリ 29 内に蓄積し、図 32 のように、画像フレーム 118 中の画像を水平方向に複数ブロック 119 に分割して、ダイレクトメモリアクセスでリアルタイムプロセッシングユニット 23 に入力することにより、高速処理を行うことが可能になっている。

【0163】

一般に、CCD 21 からの画像についてのリアルタイム処理（一般画像処理）においては、ほとんどの処理において上下ラインの画素を参照する必要があるため、水平の画素数分のラインメモリが（複数）必要であった。したがって、CCD 21 からの画像を直接リアルタイムプロセッシングユニット 23 で処理することとすると、処理できる CCD 21 の水平の画素サイズは、ハードウェアとして作り込まれたラインメモリ 61a, 61b, 92a～92d の画素数によって制限を受けることになる。ところが、集積回路においてラインメモリ 61a, 61b, 92a～92d は非常に大きな面積を占めるため、CCD 21 の駆動回路に

比較してリアルタイムプロセッシングユニット 2 3 の面積を多大に確保することが困難であり、その結果、処理可能な水平画素数はどうしても小さくなってしまい、大画素の CCD 2 1 の使用が困難であった。

【0 1 6 4】

これに対してこの実施の形態にかかるデジタルスチルカメラでは、一度主メモリ 2 9 内に格納したデータを、ダイレクトメモリアクセスでリアルタイムプロセッシングユニット 2 3 に入力して処理するようになっているため、画像フレーム 1 1 8 を水平方向に複数のブロック 1 1 9 に分割してリアルタイムプロセッシングユニット 2 3 でのリアルタイム処理を行なうことにより、上記の CCD 2 1 の水平画素サイズの制限は発生しない。したがって、主メモリ 2 9 の容量があればいくらかでも大きな CCD 2 1 の処理が可能となり、CCD 2 1 に対するリアルタイムプロセッシングユニット 2 3 の汎用性が向上する。

【0 1 6 5】

以上の実施の形態では、主としてデジタルスチルカメラを例にあげて説明したが、他の画像入力装置の画像処理回路としても容易に適用可能である。

【0 1 6 6】

また、図 2 5 に示した空間フィルタ・コアリング処理部 4 4 では、「Y」成分、「Cr」成分、「Cb」成分及び乗算器 9 7 からの出力値（空間フィルタ 9 1 からの出力値自身）のいずれかのうちのひとつを、セレクタ 1 0 5 a によって 4 色目のみの成分として選択するようにしていたが、同様のセレクタを他の出力ラインにも設置し、4 色目だけでなく他の 3 色のそれぞれの成分をもそれ以外の成分に自由に切り換えられるように構成してもよい。このようにすることにより、さらに出力成分を自由に変更でき、画像処理回路としての汎用性を向上できる。

【0 1 6 7】

【発明の効果】

請求項 1 に記載の発明によれば、撮像素子から次々と入力される画素データについて実時間（リアルタイム）処理を行う場合には、途中の画素データを主メモリに蓄えずに行う一方、リアルタイムプロセッシングユニットで用意されない特殊な例外的画像処理だけを制御部（CPU）におけるソフトウェアプログラム処

理として実行し、その後一般画像処理を行う場合（ポスト処理）は、一旦主メモリに蓄えた画素データを再度リアルタイムプロセッシングユニットに入力して処理することで、ソフトウェアプログラム処理で実行する場合に比較して大幅に高速化を達成できるとともに、制御部での長時間にわたる処理を可久的に少なくできるので、消費電力を大幅に低減できる。

【0168】

請求項2に記載の発明によれば、セクタでの選択によってリアルタイムプロセッシングユニット内の途中（2段目以降）の画像処理部に主メモリ内の画素データを入力できるようにし、また、リアルタイムプロセッシングユニット内の途中（最後段より前段）の画像処理部からの画素データを主メモリに格納することができるようになっているので、リアルタイムプロセッシングユニットで用意されない特殊な例外的画像処理だけを制御部（CPU）におけるソフトウェアプログラム処理として実行し、その後一般画像処理のうちの必要な処理だけをリアルタイムプロセッシングユニットで処理することができる。即ち、主メモリ内の画素データを常にリアルタイムプロセッシングユニットの最前段に入力する場合に比べて処理手順の一部を省略でき、故に高速化を達成できるとともに、消費電力を低減できる。

【0169】

請求項3に記載の発明によれば、ポスト処理時におけるリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングに非同期に規律しているので、例えばリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより高速に規律する場合は、ポスト処理時の処理スピードが大幅に向上する。一方、リアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより低速に規律する場合は、ポスト処理時の消費電力を低く抑えることができる。

【0170】

請求項4に記載の発明によれば、ポスト処理において、主メモリ内の画素データをリアルタイムプロセッシングユニットに複数回通すことを可能としているの

で、リアルタイムプロセッシングユニット内に例えば空間フィルタを設けているような場合、当該空間フィルタの範囲を等価的に増加させる等の機能の拡張を容易に行うことが可能となる。例えば、従来のリアルタイムプロセッシングユニットでは、撮像素子からのデータ読み出し時に 1 パスだけの処理しか行えないため、空間フィルタのサイズ等はリアルタイムプロセッシングユニット内に現実に設けられているサイズに限定され、また、それぞれの個別機能も 1 回しか信号に作用させることができなかったのに対し、この請求項 4 に記載の発明によれば、ポスト処理において、特定の機能をデータに重複して作用させ、個々の機能を拡張させることができる。また、複数回数に亘って主メモリ内の画素データをリアルタイムプロセッシングユニットに入力できるので、元々のリアルタイムプロセッシングユニットに設定されている処理の順序を変更して処理することが容易となる。したがって、かかる処理順序の変更を制御部（CPU）でのソフトウェアプログラム処理で実行する場合に比べて、非常に短時間で処理を実行できる。この場合、請求項 3 のようにリアルタイムプロセッシングユニットの動作タイミング（処理クロック）を撮像素子の動作タイミングより高速に規律すれば、リアルタイムプロセッシングユニットの 1 パスの処理を非常に短時間で終了でき、撮影時間の増加を最小限に抑えて、撮像素子からの読み出し時間に対する時間のロスを最小限に抑制できる。

【 0 1 7 1 】

請求項 5 に記載の発明によれば、リアルタイムプロセッシングユニットの出力段で、4 個の成分データのうちの少なくとも 1 個の信号に、リアルタイムプロセッシングユニット内の一般画像処理内で処理された任意の成分のうちの 1 個の成分データを選択的に格納して出力するようにできるので、元信号になんら変更を加えずに 1 パスで、特定の出力信号（例えば 4 色目の信号）を特徴データとして容易に出力できる。この場合、制御部（CPU）でのソフトウェアプログラム処理で実行することとすると、一度すべての画素データを主メモリ内に格納に格納した後ですべての 4 成分の画素の組み合わせ毎に特徴データを特定の出力成分（例えば 4 色目の成分）に移す必要があり、処理時間が膨大になるのに対して、請求項 5 に記載の発明によれば、他の一般画像処理に影響を与えず実時間で高速に

処理でき、処理効率を向上でき且つ低消費電力化を図り得る。

【0172】

請求項6に記載の発明によれば、YMC G系等の補色タイプ等のような4色系画素データの処理を扱うことが可能なリアルタイムプロセッシングユニットにおいて、例えばRGBベイヤー等のような3色系画素データの処理を行う場合に、4色分のデータ長のデータ列に対して3色分のデータを格納して処理するだけでなく、4色目の色データ領域の信号として各画素の強調成分等の特徴データを格納して処理するようにしているので、各種の非線型処理や画素単位処理を非常に高速に行うことができる。また、4色分のデータ長のデータ列に対して3色分のデータのみを格納して処理する場合に比べて、主メモリ内での記憶ビットを有効に活用でき、また、リアルタイムプロセッシングユニット、制御部及び主メモリ相互間でのデータ転送処理等の効率化を図ることができる。さらに、別途に特徴データのデータ群を取り扱う場合に比べて、低消費電力化を図り得る。

【0173】

請求項7に記載の発明によれば、撮像素子からリアルタイムプロセッシングユニットに順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、主メモリ内に一旦記憶された前フレーム中の同位置の画素データを所定回数繰り返して累積加算することができるようにしているので、最終的に得られた累積加算データを加算回数で除算すれば、撮像素子の電荷蓄積部のノイズを減算でき、S/Nの良い十分な信号レベルのデータを得ることができる。

【0174】

請求項8に記載の発明によれば、撮像素子からリアルタイムプロセッシングユニットに順次入力される各画素データが複数フレームに亘る場合に、当該撮像素子からの各フレーム内の各画素データに対して、主メモリ内に一旦記憶された前フレーム中の同位置の画素データを所定回数繰り返して所定の係数でデフレートして重み付け加算（循環加算）することができるようにしているので、最終的に得られた累積加算データを加算回数で除算すれば、撮像素子の電荷蓄積部のノイズを減算でき、S/Nの良い十分な信号レベルのデータを得ることができる。こ

の場合、所定の係数でデフレートしながら循環加算するようにしているので、各画素のデータ長を元のデータ長から変化させることなく何回でも循環加算することができ、データのオーバーフローを防止することで、加算回数の制限を取り去ることが可能となる。

【0175】

請求項9に記載の発明によれば、シェーディング補正を含む所定の画素補正を行う場合に、画素単位の補正データを主メモリ内に予め格納しておき、撮像素子のデータのキャプチャー時に主メモリ内の補正データをリアルタイムプロセッシングユニットに入力することにより画素単位の補正を容易に且つ高速に行なうことができる。

【0176】

請求項10に記載の発明によれば、請求項7に記載の累積加算処理機能と、請求項8に記載の循環加算処理機能とを選択することが可能となり、デジタルスチルカメラの仕様設計の変更に容易に対応できる。したがって、デジタルスチルカメラに組み込まれる画像処理回路として、汎用性を大きく持たせることができる。

【0177】

請求項11に記載の発明によれば、請求項7に記載の累積加算処理機能と、請求項8に記載の循環加算処理機能と、請求項9に記載の画素補正機能とを選択することが可能となり、デジタルスチルカメラの仕様設計の変更に容易に対応できる。したがって、デジタルスチルカメラに組み込まれる画像処理回路として、汎用性を大きく持たせることができる。

【0178】

請求項12及び請求項13に記載の発明によれば、 2×2 の4色構成の撮像素子に対しては全て同じ演算処理を行うことで画素補間を行う一方、RGBベイヤ一等の3色構成の撮像素子に対しては、同一の回路構成において、4色系の補間処理の特殊解として色選択ブロックの一部を置き換えることによって対応できるようにしているので、4色系と3色系とで別々の独立な演算部を設置する場合に比べて、回路規模を小さくとることができ、消費電力を大幅に抑えることができ

る。

【0179】

請求項14に記載の発明によれば、オートフォーカス評価用の高周波成分評価値を作成する場合に、差分を求める画素対象の離間ピッチを可変にできるようにしているので、評価値が代表する周波数を容易に変更することができる。即ち、肉眼視で十分なレベルにピントが合えば、その範囲内でそれ以上画像を高周波にする行う必要がない一方、あまりに高周波画像が強調されるとノイズの影響が目立つことになり、これらのことを考慮し、適正な周波数（即ち、差分を求める画素対象の離間ピッチ）で高周波成分評価値を作成することが望ましい。ただし、かかる最適な周波数は撮像素子やその他の回路構成によってノイズの混入の度合いが変化することもあり、理論的に一律に決定されるものではない。このため、オートフォーカス評価用の高周波成分評価値を作成する場合に、差分を求める画素対象の離間ピッチを可変することで、撮像素子やその他の回路構成に応じた最適な周波数により高周波成分評価値を容易に作成することが可能となる。

【0180】

請求項15に記載の発明によれば、リアルタイムプロセッシングユニット内のレジスタを使用せずに、当該リアルタイムプロセッシングユニット外の主メモリを使用して欠陥画素アドレスを格納するようにしているので、リアルタイムプロセッシングユニット内の回路規模を低減でき、低消費電力化を図り得る。

【0181】

請求項16に記載の発明によれば、撮像素子の欠陥画素アドレスをその欠陥画素の発生時間の順序で主メモリ内に格納しておき、シフトレジスタと比較器からなる欠陥画素補正部に入力してやることにより、リアルタイムプロセッシングユニット内のレジスタに欠陥画素アドレスを格納する場合に比べて、欠陥画素数の制限なしに補正を行なうことができる。

【0182】

請求項17に記載の発明によれば、1個のガンマ補正テーブルについて、これより入力データのビット長が2ビットだけ短い場合に、4個のガンマ補正用ルックアップテーブルとして機能させるようにしているので、ビット長が2ビットだ

け短い場合に、ガンマ補正テーブルの余剰ビット領域を有効活用することで、回路構成を変更せずに、各色に独立な4種類のルックアップテーブルを使用することが可能となる。

【 0 1 8 3 】

請求項 1 8 に記載の発明によれば、所定の第一配列方式の画素データを所定の特別色成分を有する第二配列方式の画素データに変換する色空間変換回路を設け、このうちの特別色成分のみを特別色用ルックアップテーブル内で所定の関数に従って数値変換し、乗算器により特別色成分以外の成分にそれぞれ乗算できるようにしているので、例えば、暗部でのクロマサプレス、明部でのクロマサプレス及び各種のガンマ変換等の所定の処理を単一の回路で自由に選択して実行できる。また、請求項 4 のように画素データをリアルタイムプロセッシングユニットに複数回に亘って繰り返し入力するようにすることで、暗部でのクロマサプレス（偽色防止）、明部でのクロマサプレス及び各種のガンマ変換等の所定の処理を重複して処理できる。

【 0 1 8 4 】

請求項 1 9 及び請求項 2 0 に記載の発明によれば、各画素データのうちの4色目の画素と、3色系の画素配列の場合に 2×2 の画素配列内の4色目の画素として使用された3色系の画素中の一成分の画素とをセレクタで選択し、ここで選択された画素を特徴データとして特徴データ用ルックアップテーブル入力して所定の関数で数値変換し、その値を所定の画素配列の画素データの各成分にそれぞれ乗算するようにしているので、実時間処理とポスト処理のいずれにおいても、特徴データを使用したエッジのクロマサプレスやガンマ補正処理等の種々の処理をリアルタイムプロセッシングユニットで容易に且つ高速に実行できる。特に、請求項 1 または請求項 2 のように、一旦主メモリ内に格納された画素データのうちの4色目の画素を特徴データとして使用する場合は、制御部（CPU）でのソフトウェアプログラム処理の結果得られた特徴データ（4色目の成分）や、以前にリアルタイムプロセッシングユニット内で処理された結果得られた特徴データ（4色目の成分）をそのまま特徴データとしてクロマサプレス等の所定の処理に活用できるので、これらの処理を最初から最後まで制御部でのソフトウェアプログ

ラム処理で実行する場合に比べて、処理時間を大幅に短縮できる。

【0185】

請求項21に記載の発明によれば、例えばRGBベイヤーのような3色系の画素配列の場合の4色目の成分として、色選択ブロックから出力された4色目の画素のデータと、前記第一配列方式の画素データ中の一の成分のデータとを選択して色空間変換回路に入力できるようにしているので、この選択されたデータを色空間変換回路内で任意の係数で第二配列方式の画素データに加算することができる。したがって、例えば、乗算器や加算器を追加せずに、色選択ブロックから出力された4色目として緑色成分の高周波成分（Gh成分）等を容易に入力でき、Gh成分のゲイン調整と各色成分への加算等の所定の処理を容易に実行できる。

【0186】

請求項22に記載の発明によれば、露出決定評価のためのブロック分割の領域について、各ブロックの境界位置を自由に変更可能としているので、少ないブロック数で最適なブロック境界を選択することが可能となり、演算時間の増加を抑えつつ、露出決定評価の精度を向上させることができる。

【0187】

請求項23に記載の発明によれば、輪郭強調後の画素データの出力において、空間フィルタの出力を元信号と別々に出力して加算できるようにしているので、空間フィルタの画素データのうちビット長の大きい中心画素の演算ビット長を元データで表し、ビット長の小さい輪郭強調成分（高域信号成分）を別途出力することで、中心画素の元データに各々係数を乗算し、その後で加算する構成とすることなどにより、各画素のビット長を増加することなく、必要十分なフィルター演算を実行することができる。したがって、全体としてのデータの総ビット数を抑制でき、回路規模を小さくできる。また、元信号と高域信号が分離できるため、この高域信号に対し「コアリング」という非線形演算を施すことにより、容易にノイズの増加を抑えながら輪郭強調を行なうことができる。

【0188】

請求項24及び請求項25に記載の発明によれば、ガンマ補正を行った後の信号に対して輪郭強調をする際に、コアリングを行うようにし、その際に、コアリ

ングのしきい幅を各画素の特別色成分の値により容易に変調できるようにしているので、相対的に明るい部分について強く強調することが容易に可能となり、ノイズの増加を防ぎながら輪郭強調が可能となる。

【0 1 8 9】

また、請求項 2 5 に記載の発明によれば、空間周波数変換を任意の色成分に対して行い、元の色成分に重ねて格納できるため、各色毎の周波数変換処理を独立に且つ高速に行うことができる。

【0 1 9 0】

請求項 2 6 に記載の発明によれば、撮像素子としてインターレースタイプのもを使用する場合に、主メモリ内の第一フィールド内の画素データを、撮像素子からの第二フィールドの画素データの入力に同期して読み出し参照し、画素補間処理、色空間変換処理及び輪郭補正処理を含む所定の画像処理を実行するようにしているので、第二フィールドの画素データの読み出し終了と同時に画像処理を終了させることができ、処理効率を大幅に向上させることができる。また、主メモリ内の画像格納領域が第一フィールドについての 1 フィールド分のみで済むため主メモリの必要容量を低減できる。

【0 1 9 1】

請求項 2 7 に記載の発明によれば、主メモリに一旦格納した画素データを、再度リアルタイムプロセッシングユニットに入力して処理する際に、複数のブロックに分割可能とすることで、撮像素子の撮像画素数がリアルタイムプロセッシングユニット内のラインメモリ中の画素データの個数より多い場合にも、画像の水平サイズをラインメモリの画素数以下に保つことが可能であり、リアルタイムプロセッシングユニットの処理に関して撮像素子の水平画素サイズの制限が存在せず、汎用性に優れた画像処理回路を提供できる、という効果がある。

【図面の簡単な説明】

【図 1】

この発明の一の実施の形態に係るデジタルスチルカメラの全体構成の概略を示すブロック図である。

【図 2】

この発明の一の実施の形態に係るデジタルスチルカメラ中のリアルタイムプロセッシングユニットとCPUとのデータの受け渡しに係る構成を示すブロック図である。

【図 3】

この発明の一の実施の形態に係るデジタルスチルカメラ中のリアルタイムプロセッシングユニットの内部構成の概略を示すブロック図である。

【図 4】

リアルタイムプロセッシングユニット中の単一画素処理部の内部構造を示すブロック図である。

【図 5】

累積加算処理時の単一画素処理部の処理構造を示す図である。

【図 6】

循環加算処理時の単一画素処理部の処理構造を示す図である。

【図 7】

画像ライン中にシェーディングが発生した状態を示す輝度の分布図である。

【図 8】

ブロック単位でシェーディング補正処理を行った場合に輝度段差が生じた状態を示す輝度の分布図である。

【図 9】

シェーディング補正処理時の単一画素処理部の処理構造を示す図である。

【図 10】

R G B - B a y e r の画素配列の例を示す図である。

【図 11】

Y M C G 系補色タイプの画素配列を示す図である。

【図 12】

一般的な画素配列を示す図である。

【図 13】

4 色系画素配列中の一般的な画素補間の動作を示す図である。

【図 1 4】

リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部の内部構造を示すブロック図である。

【図 1 5】

リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部における A F 評価機能を示したブロック図である。

【図 1 6】

リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部における欠陥画素補正機能を示したブロック図である。

【図 1 7】

リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部におけるガンマ補正テーブルを示す図である。

【図 1 8】

リアルタイムプロセッシングユニット中の画素補間・ガンマ処理部におけるガンマ補正テーブルが 4 つのルックアップテーブルに分割された状態を示す図である。

【図 1 9】

リアルタイムプロセッシングユニット中の色空間変換・色抑圧処理部を示すブロック図である。

【図 2 0】

「G h」信号と 4 色目の信号とを選択してクロマサプレス処理等の所定の処理動作を行う状態を示すブロック図である。

【図 2 1】

「Y」信号に基づくクロマサプレス処理時の動作を示すブロック図である。

【図 2 2】

「Y」信号に基づくガンマ変換処理時の動作を示すブロック図である。

【図 2 3】

画像をブロック毎に等間隔に分割した状態を示す図である。

【図 2 4】

画像をブロック毎に最適化して分割した状態を示す図である。

【図 2 5】

この発明の一の実施の形態に係るデジタルスチルカメラ中の空間フィルタ・コアリング処理部の内部構成を示すブロック図である。

【図 2 6】

輪郭補正処理前の画像の輝度分布例を示す分布図である。

【図 2 7】

輪郭補正処理後の画像の輝度分布例を示す分布図である。

【図 2 8】

コアリングファンクションの変調機能を示す機能ブロック図である。

【図 2 9】

コアリングファンクションの変調機能を示す機能ブロック図である。

【図 3 0】

インターレースタイプの CCD を使用する場合のリアルタイムプロセッシングユニットに対するデータ入力動作についての従来例を示すブロック図である。

【図 3 1】

インターレースタイプの CCD を使用する場合のこの発明の一の実施の形態に係るデジタルスチルカメラにおけるリアルタイムプロセッシングユニットに対するデータ入力動作を示すブロック図である。

【図 3 2】

画面を複数のブロックに分割して処理する動作を示す図である。

【図 3 3】

従来のデジタルスチルカメラの全体構成を示すブロック図である。

【図 3 4】

リアルタイムプロセッシングユニットでリアルタイム処理を行う動作を示すブロック図である。

【図 3 5】

従来において CPU により例外的画像処理を行う場合の動作を示すブロック図

である。

【符号の説明】

- 21 CCD
- 22 アナログ信号処理回路
- 23 リアルタイムプロセッシングユニット
- 24 CPU
- 26 外部インターフェース
- 27 ファインダー
- 28 メインバス
- 29 主メモリ
- 30 メモリカード
- 32 DMAコントローラ
- 41 単一画素処理部
- 42 画素補間・ガンマ処理部
- 43 色空間変換・色抑圧処理部
- 44 空間フィルタ・コアリング処理部
- 45 リサイズ処理部
- 52 シフタ
- 53 第一セレクタ
- 54 第一乗算器
- 55 第二セレクタ
- 56 第二乗算器
- 57 加算器
- 58 リミッタ
- 61 a, 61 b, 92 a～92 d ラインメモリ
- 62 ピクセルレジスタ
- 63 色選択ブロック
- 64 セレクタ
- 65 演算回路

6 5 b 入力端子
6 6 バッファ
6 7 加算器
6 8 累積加算器
7 1 ガンマ補正テーブル
7 1 a ~ 7 1 d シフトレジスタ
7 2 a, 7 2 b 比較器
7 3 欠陥画素タイミング発生回路
7 4, 7 6 レジスタ
7 5 論理積回路
7 7 a, 7 7 b セレクタ
7 8 ガンマ補正テーブル
7 8 a ~ 7 8 d ルックアップテーブル
7 9 a ~ 7 9 d セレクタ
8 1 セレクタ
8 2 特徴データ用ルックアップテーブル
8 3 色空間変換回路
8 4 輝度用ルックアップテーブル
8 5 露出決定評価器
8 6 a ~ 8 6 c, 8 7 a ~ 8 7 c 乗算器
9 1 空間フィルタ
9 2 a ~ 9 2 d ラインメモリ
9 3 配線
9 4, 9 7 乗算器
9 6 配線
9 8 第一コアリングファンクションブロック
9 9 加算器
1 0 1, 1 0 2 配線
1 0 3, 1 0 4 第三コアリングファンクションブロック

1 0 5 配線

1 0 5 a セレクタ

1 0 6, 1 1 1 逆ガンマ効果ブロック

1 0 7 乗算器

1 0 8 セレクタ

1 1 1 逆ガンマ効果ブロック

1 1 2 乗算器

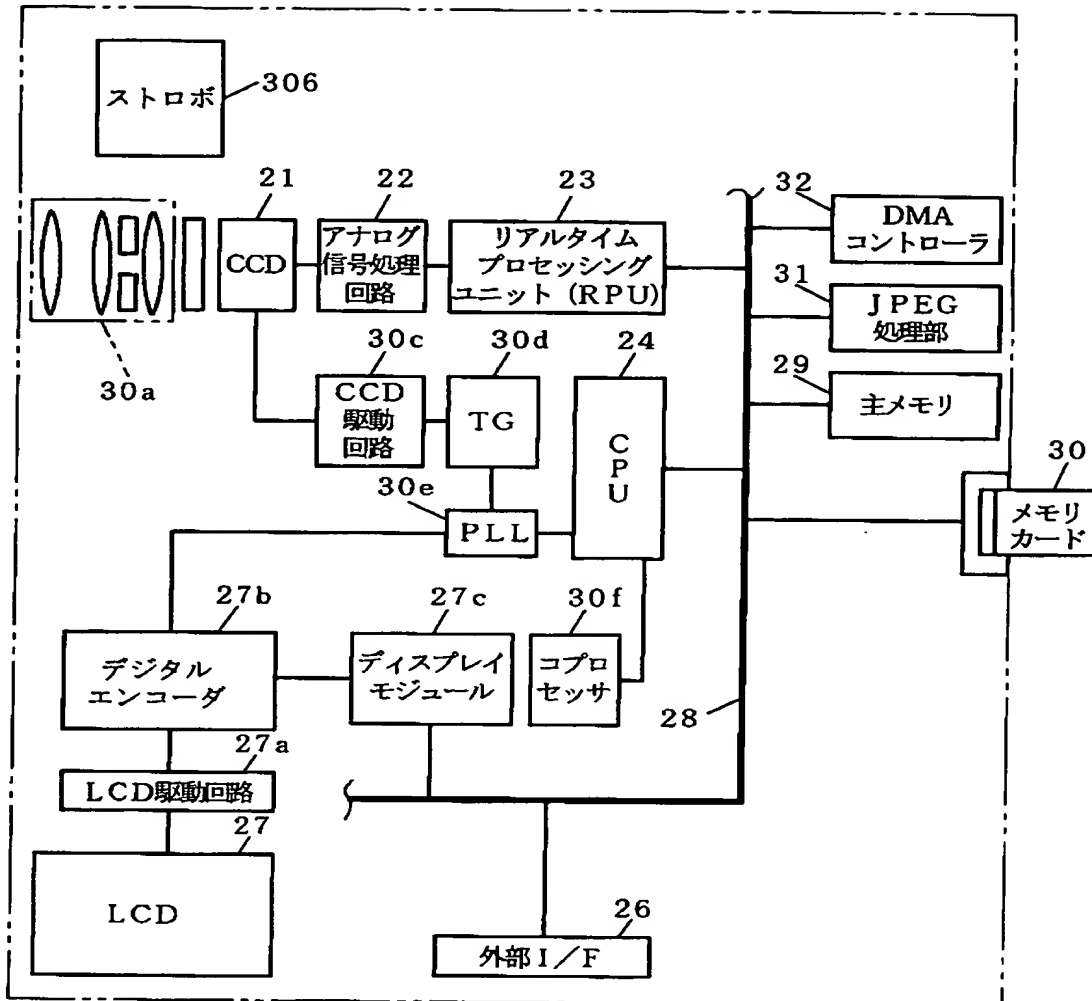
1 1 3 セレクタ

1 1 8 画像フレーム

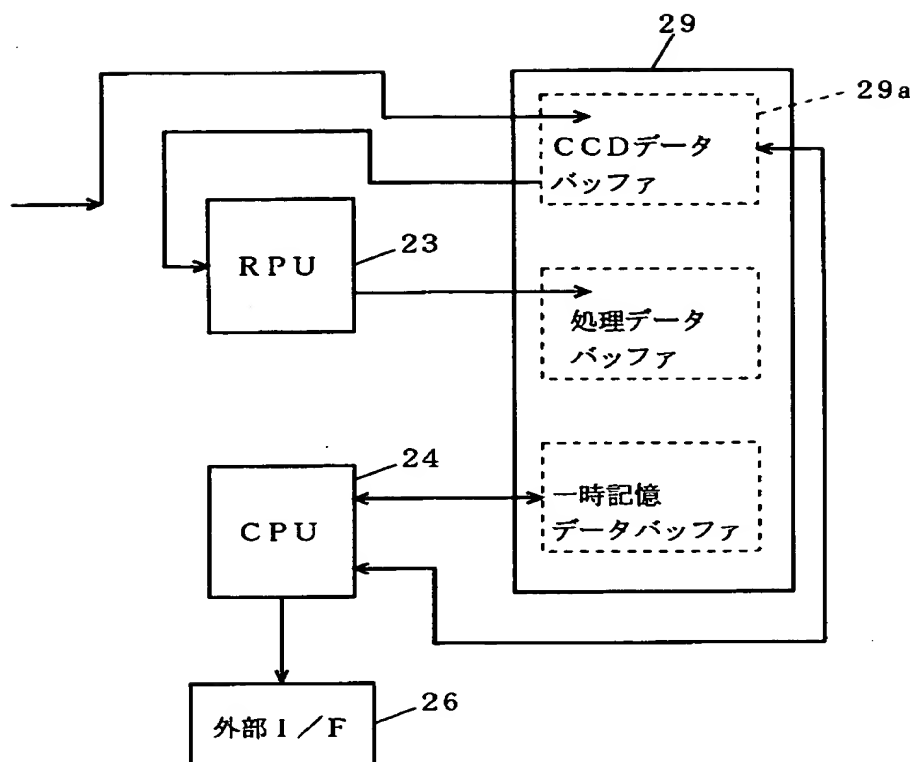
1 1 9 ブロック

【書類名】 図面

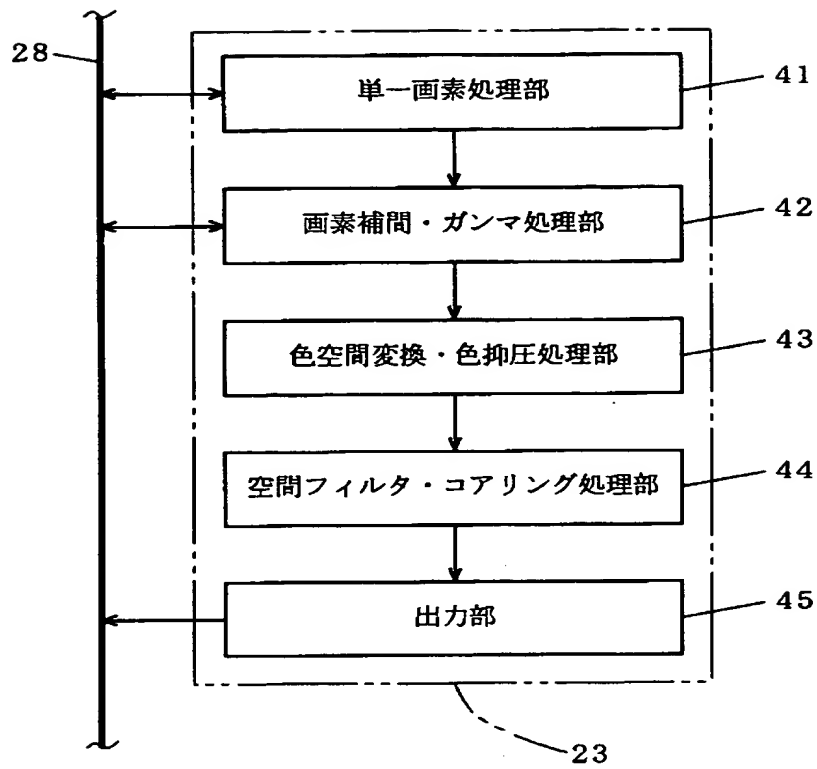
【図 1】



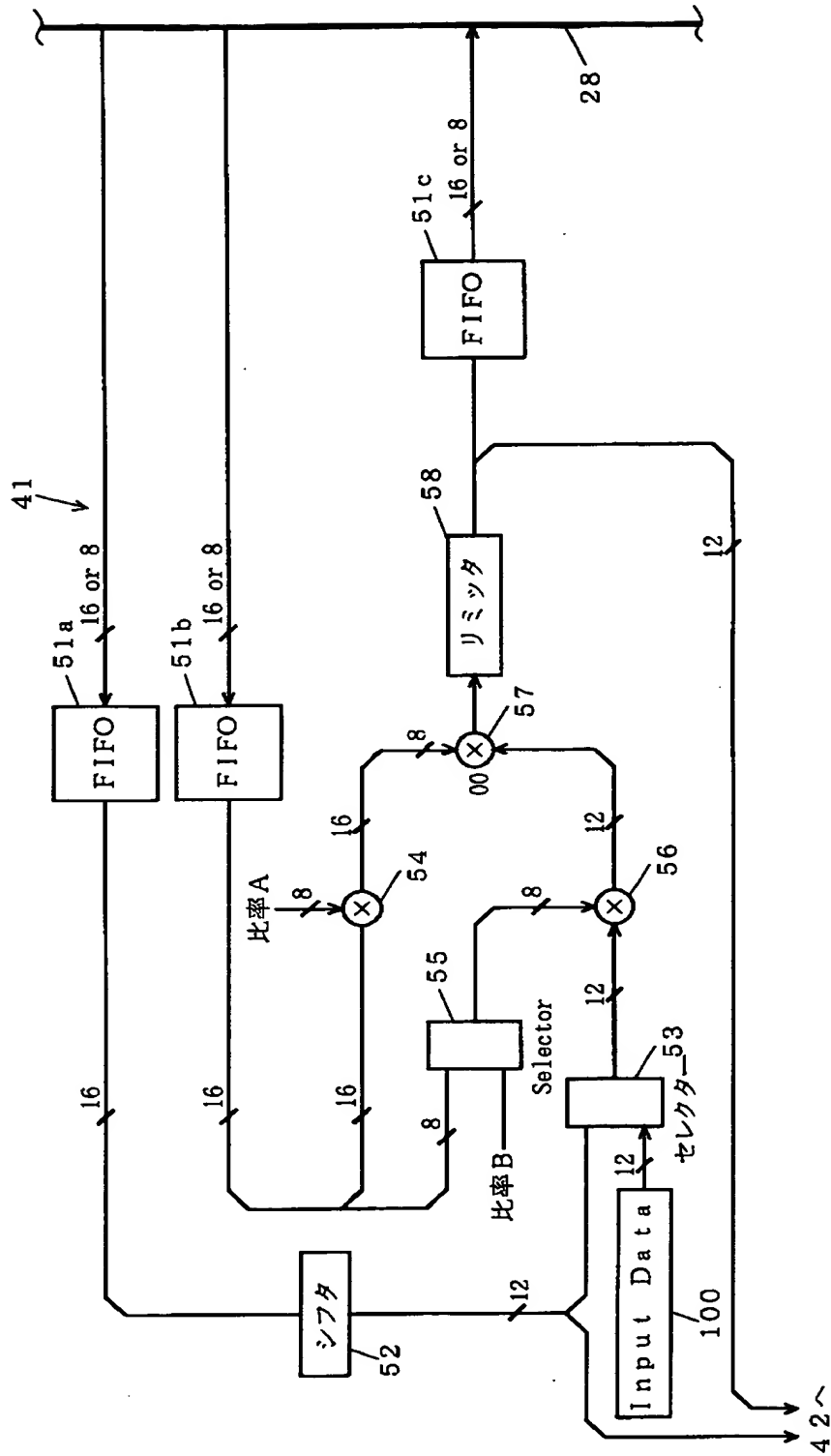
【図 2】



【図 3】

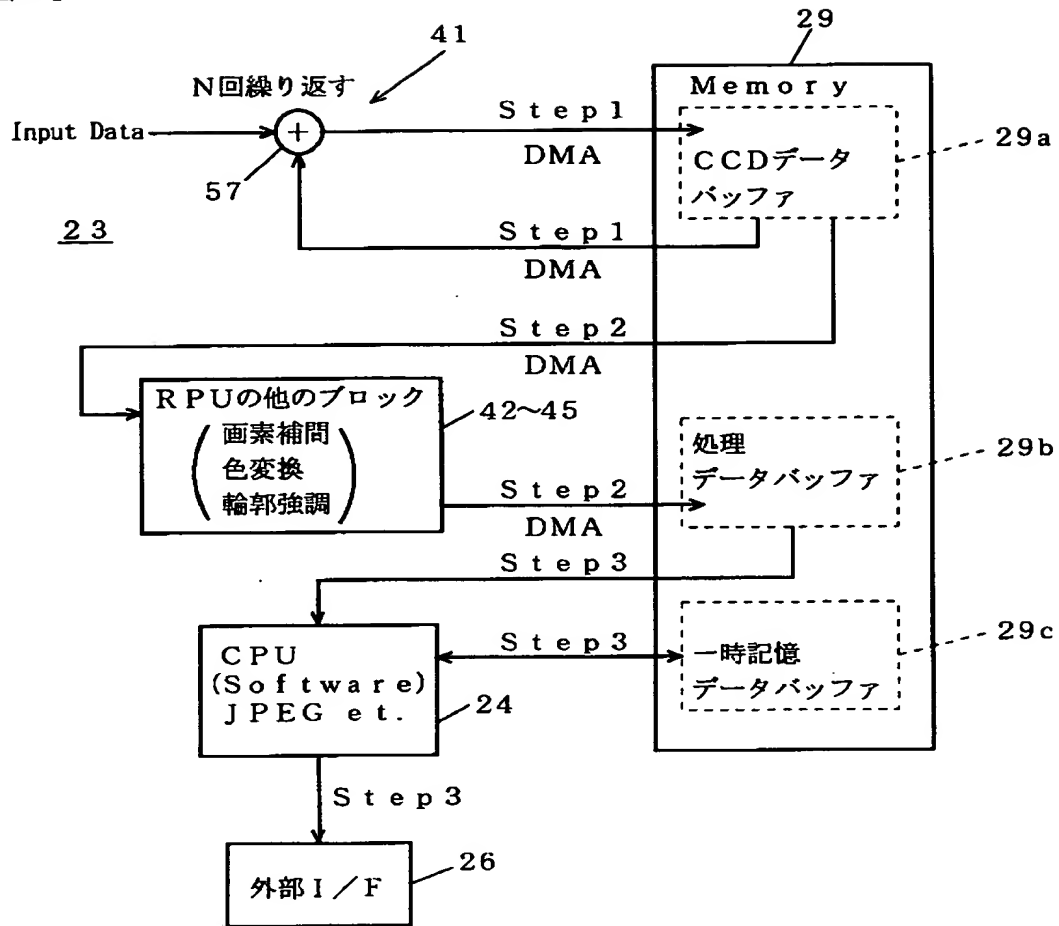


【図 4】

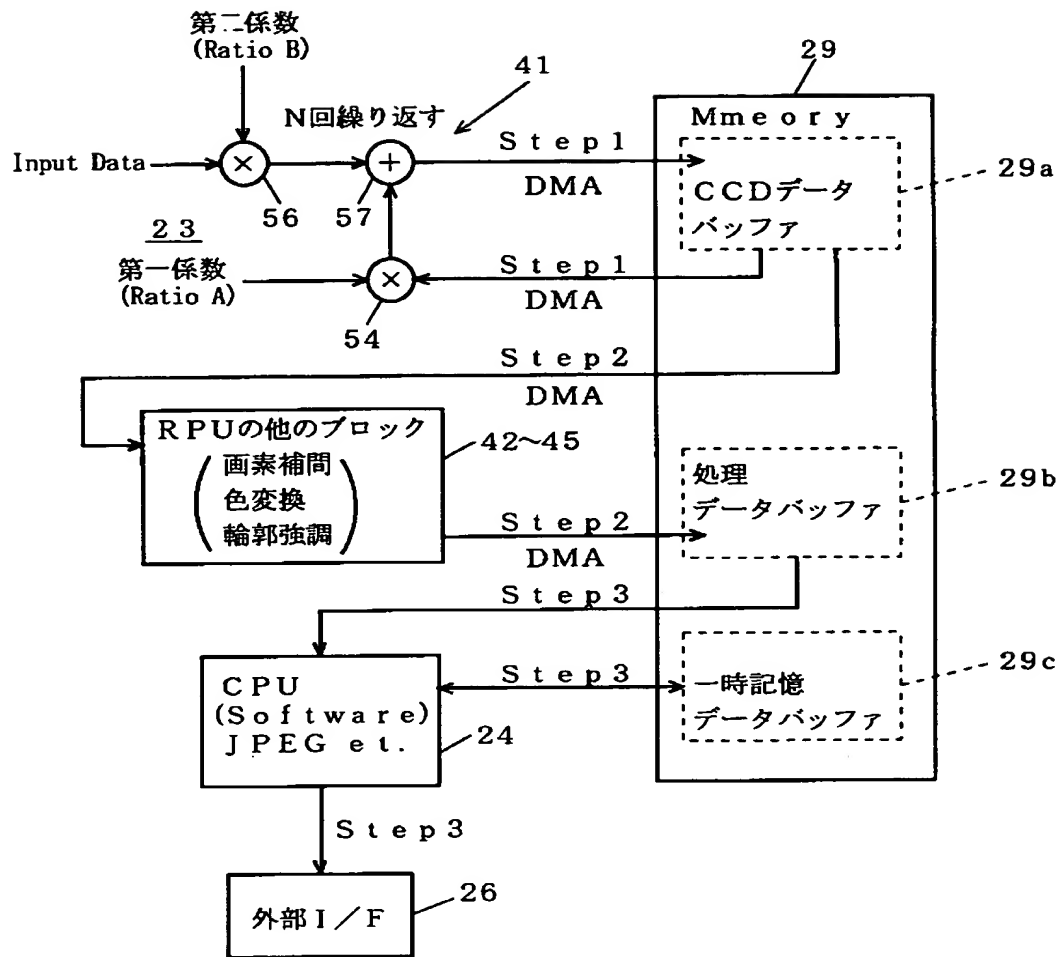


23

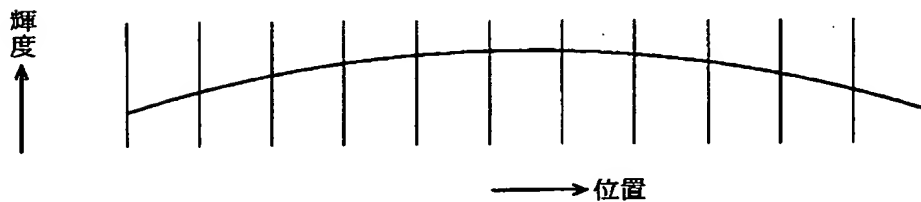
【図 5】



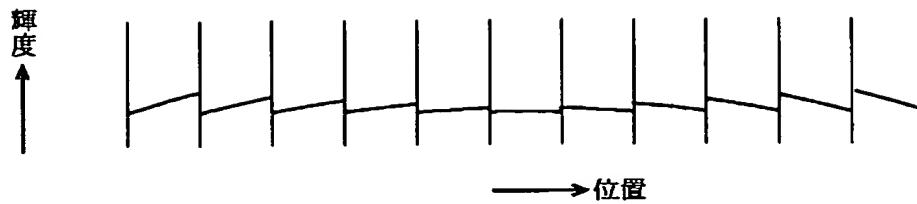
【図 6】



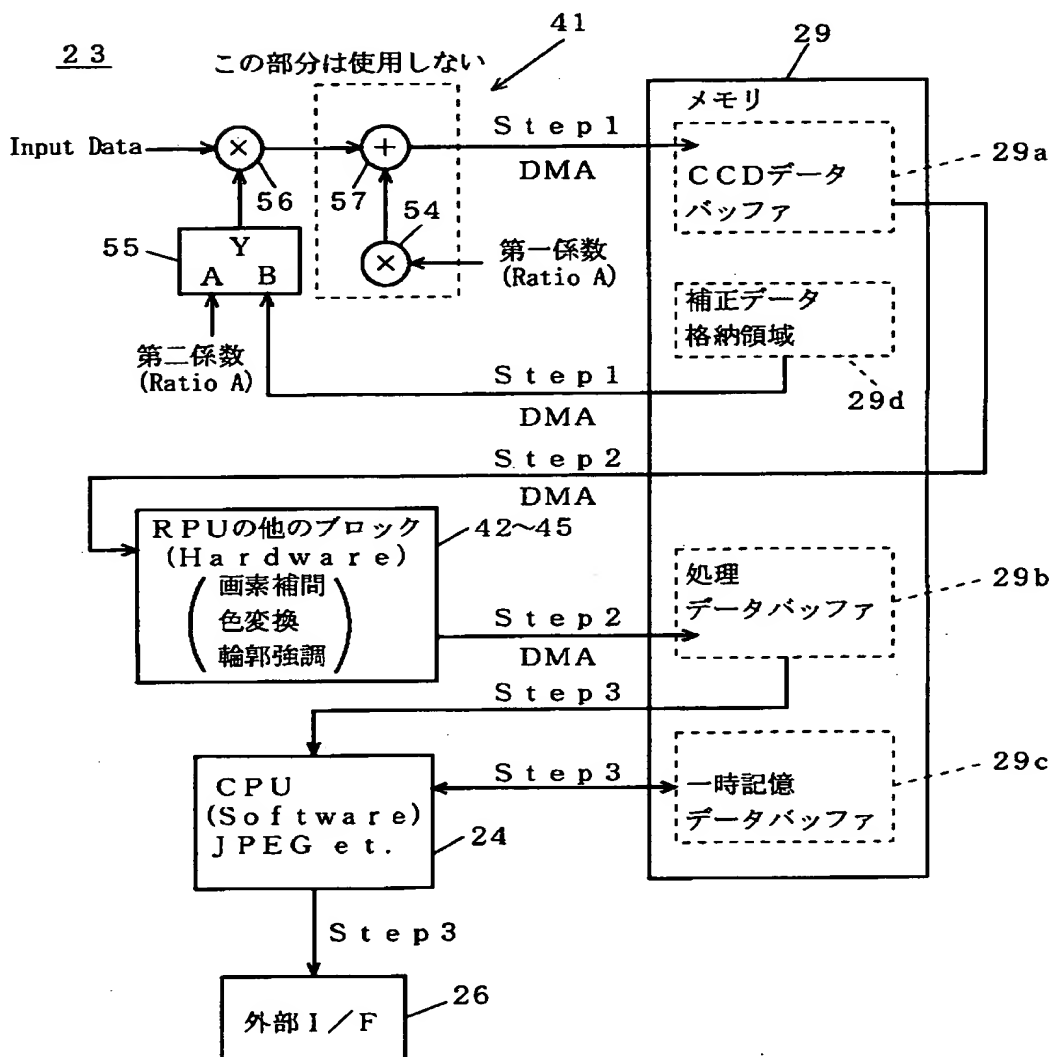
【図 7】



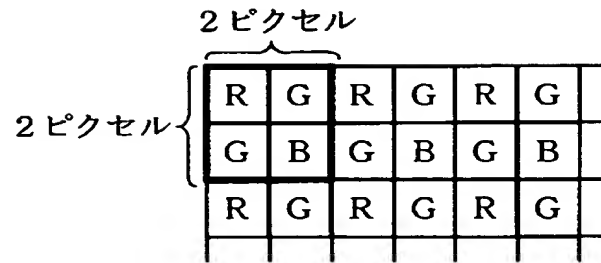
【図 8】



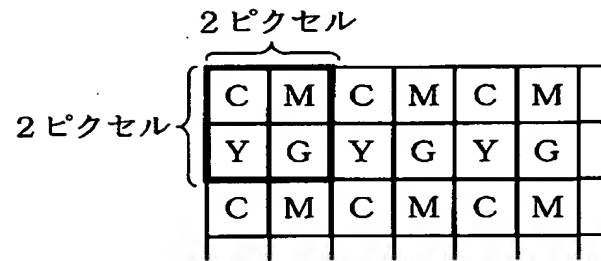
【図 9】



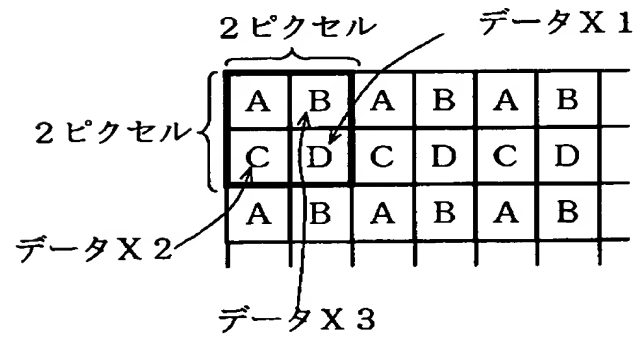
【図 1 0】



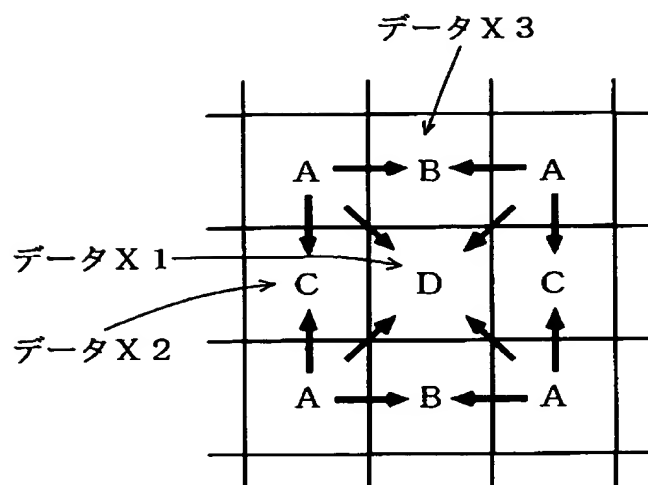
【図 1 1】



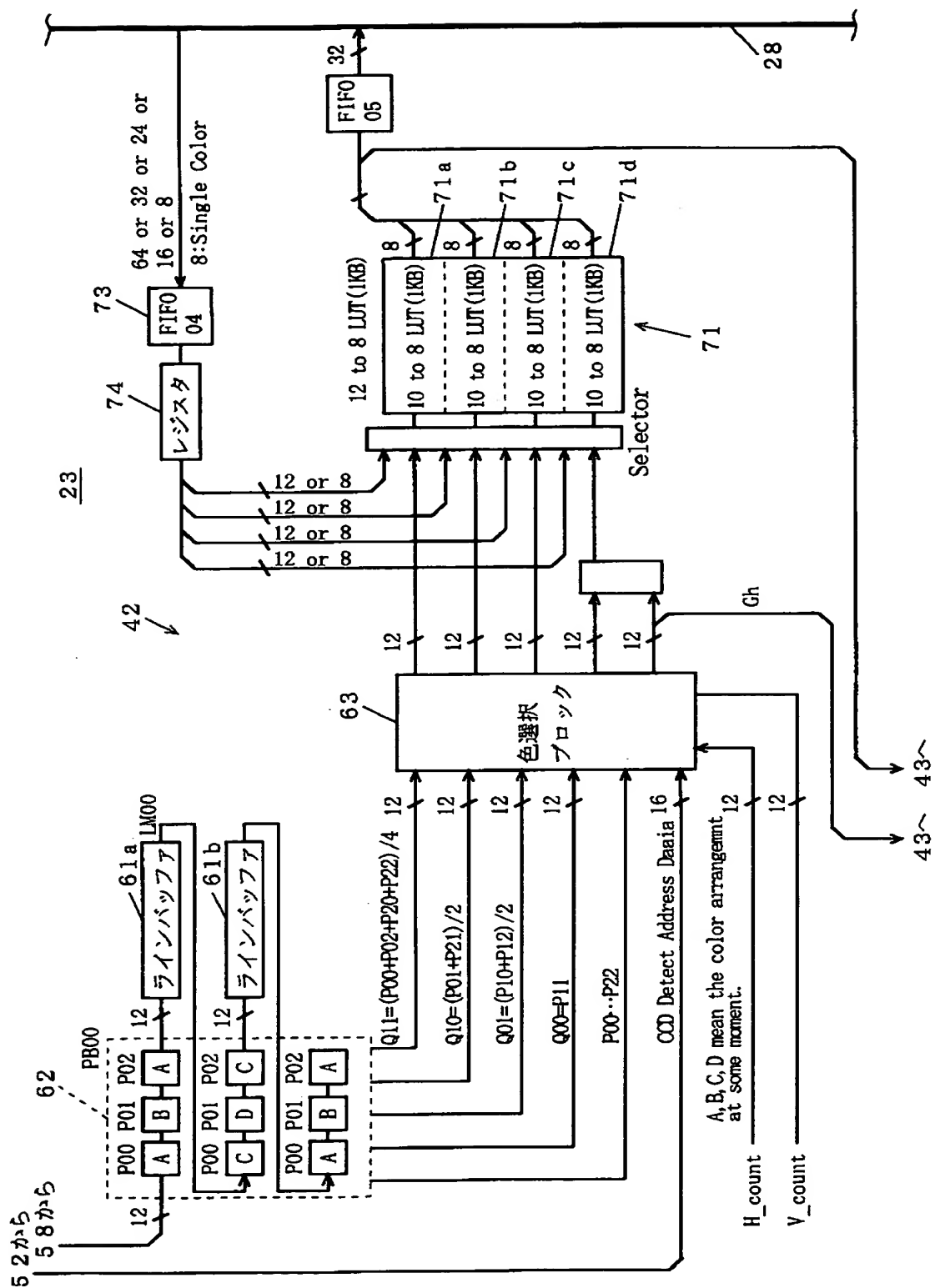
【図 1 2】



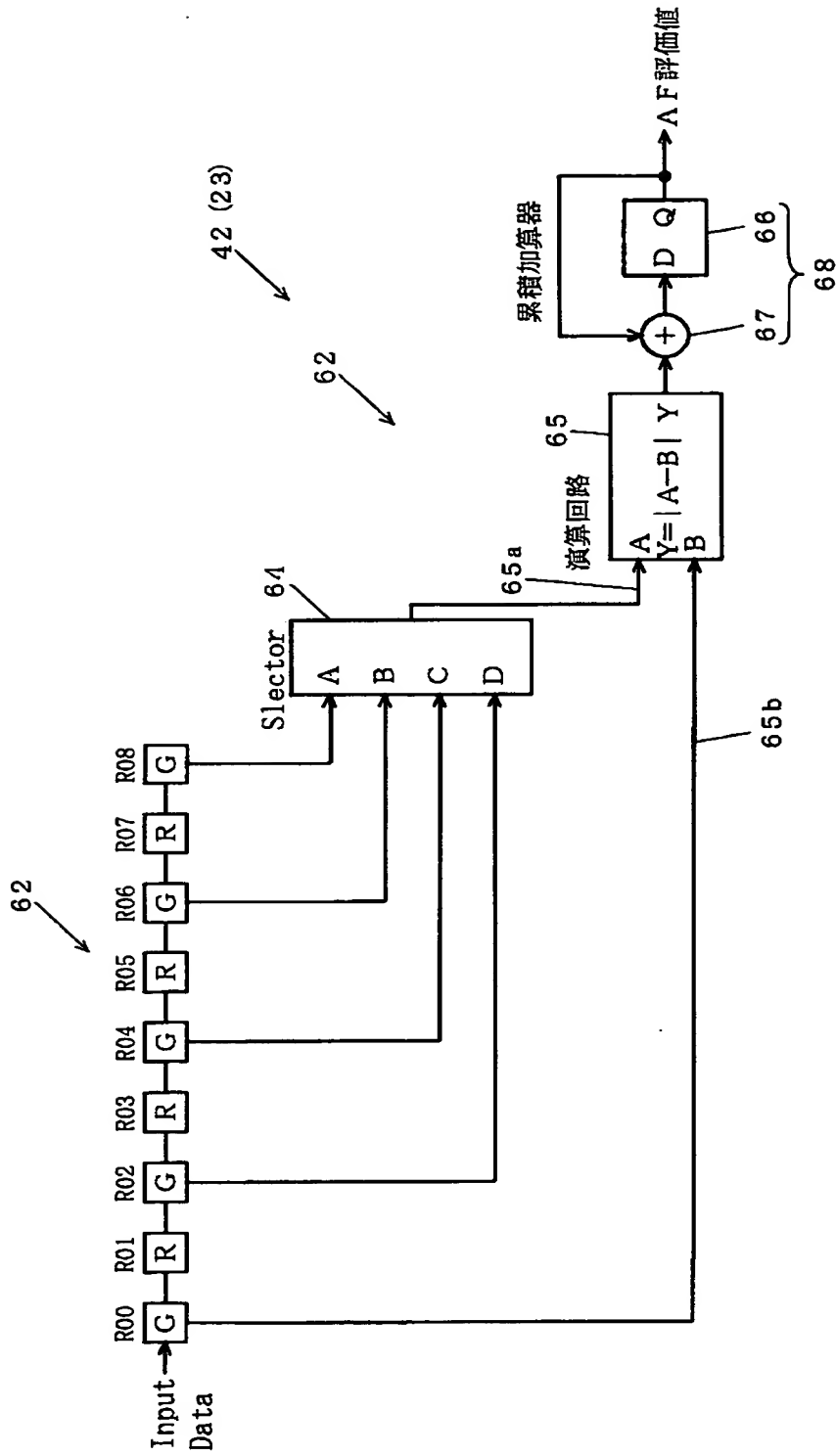
【図 13】



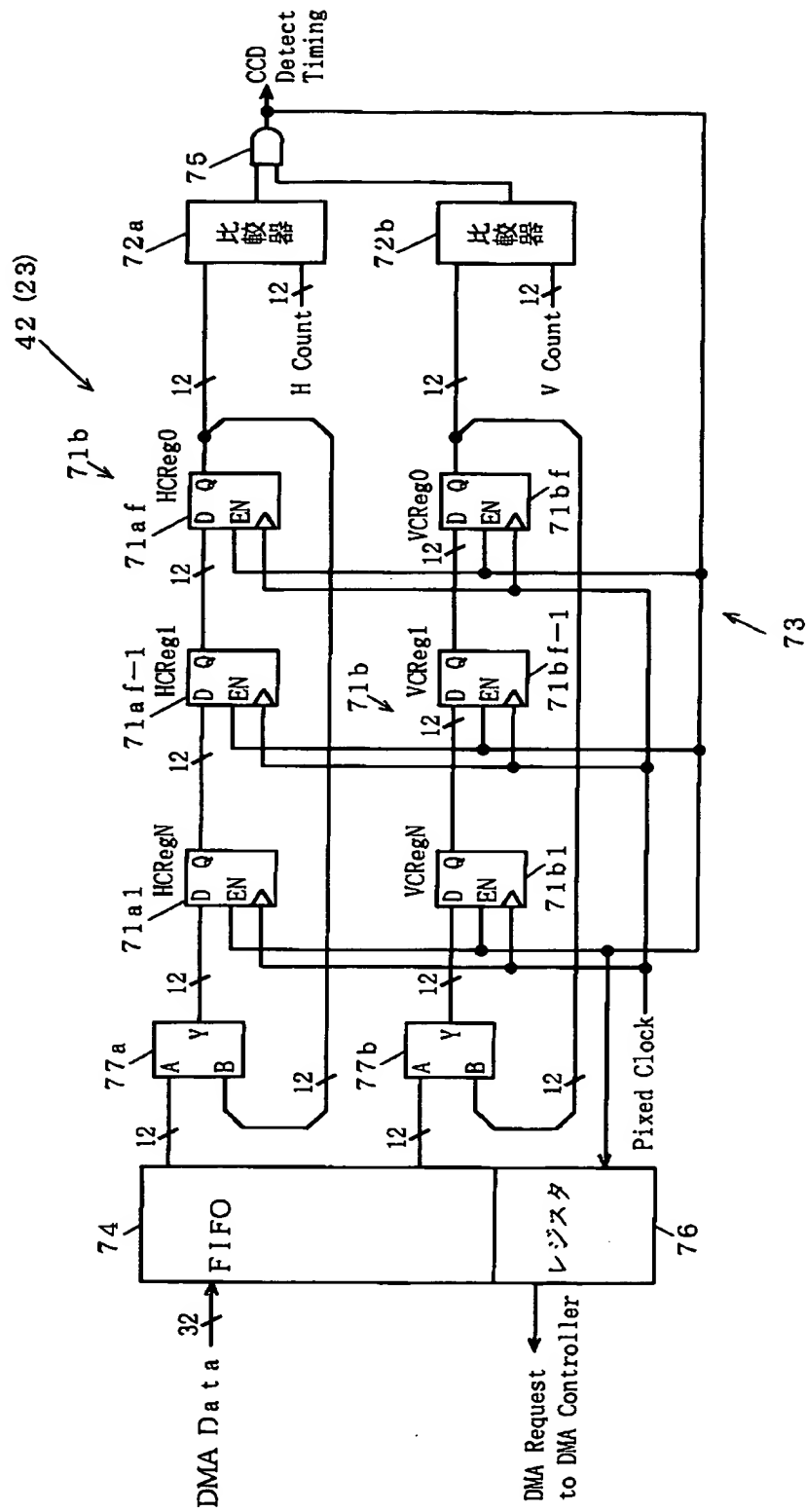
【图 14】



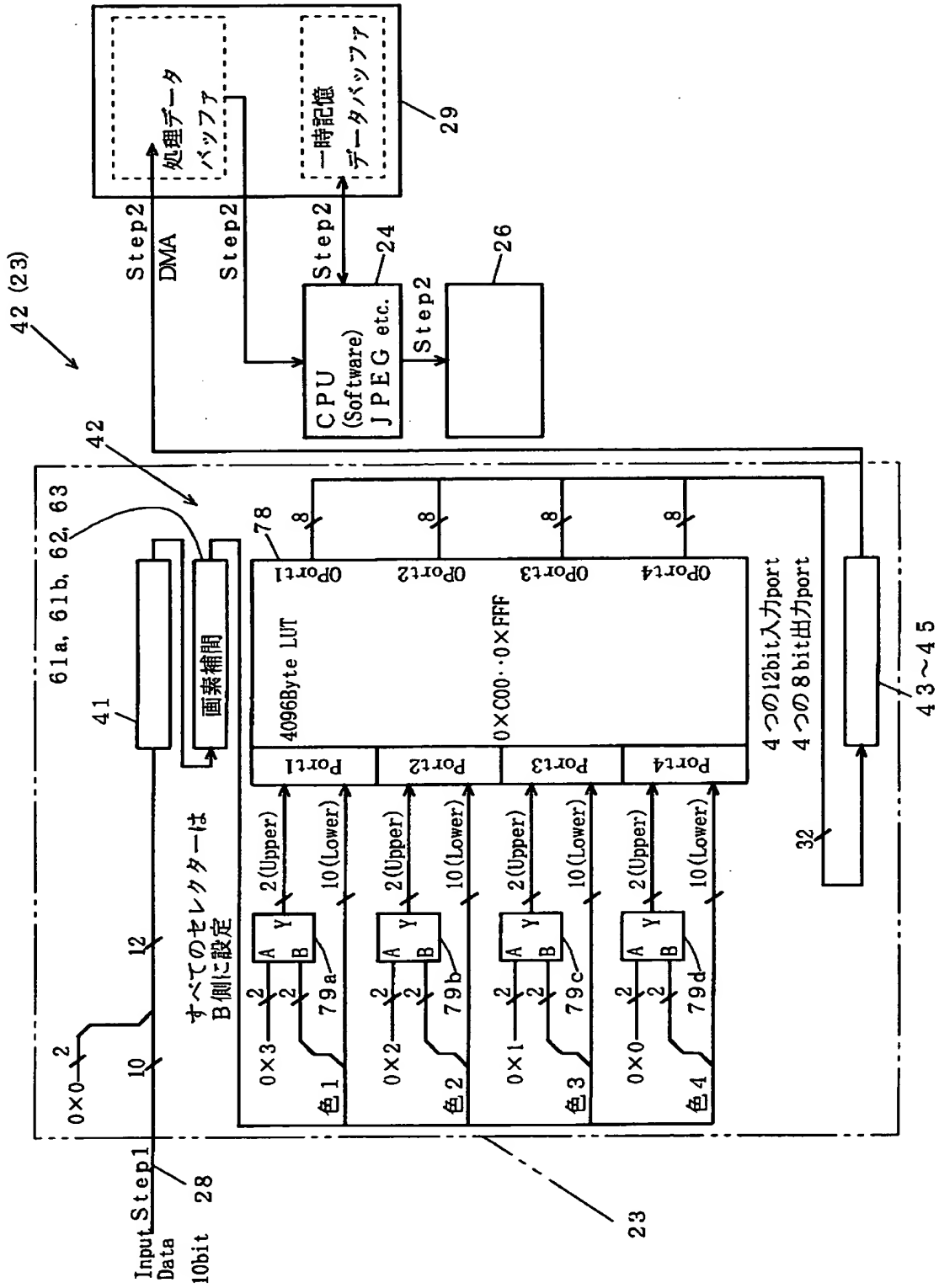
【図 1 5】



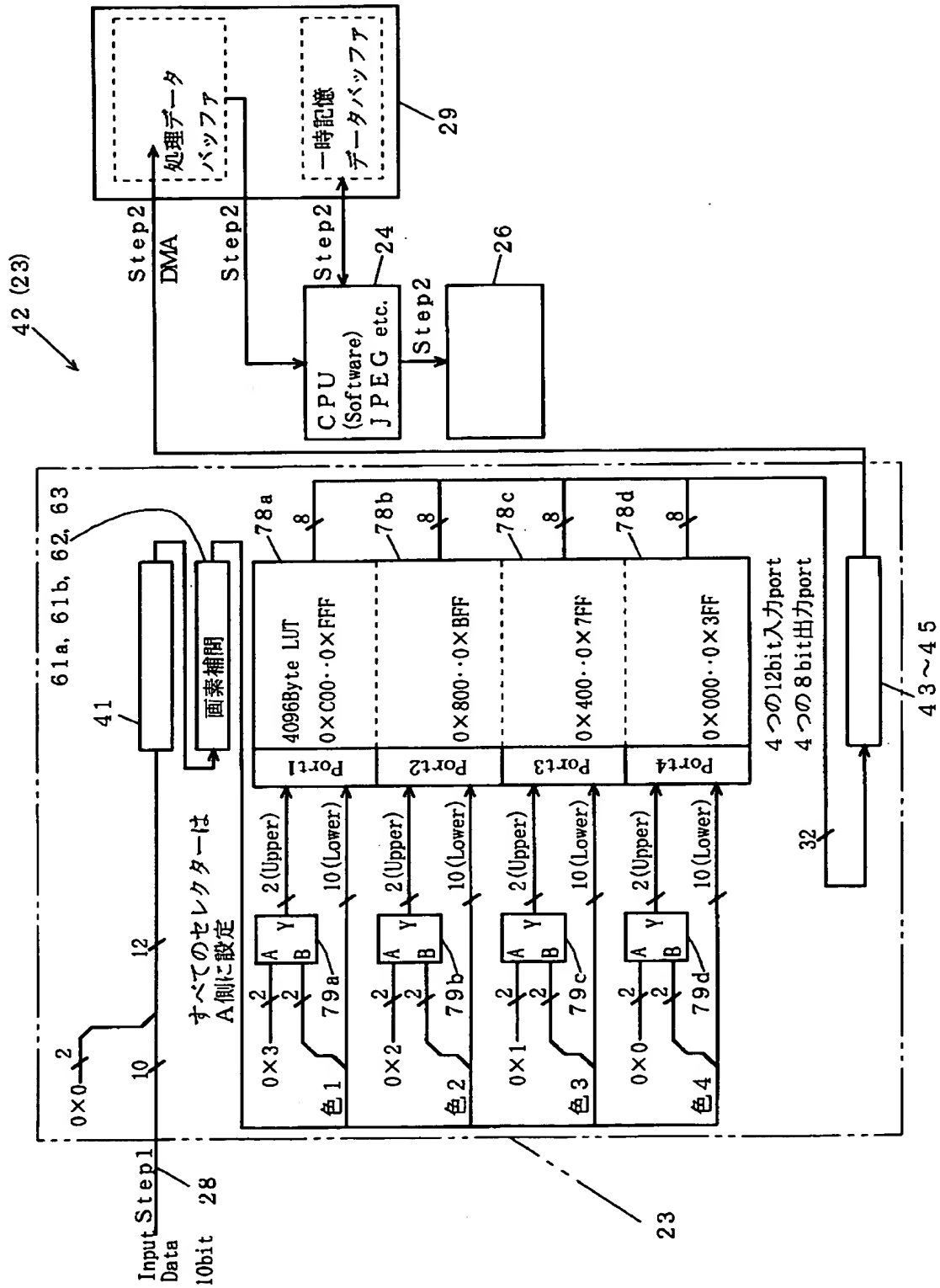
【図 1 6】



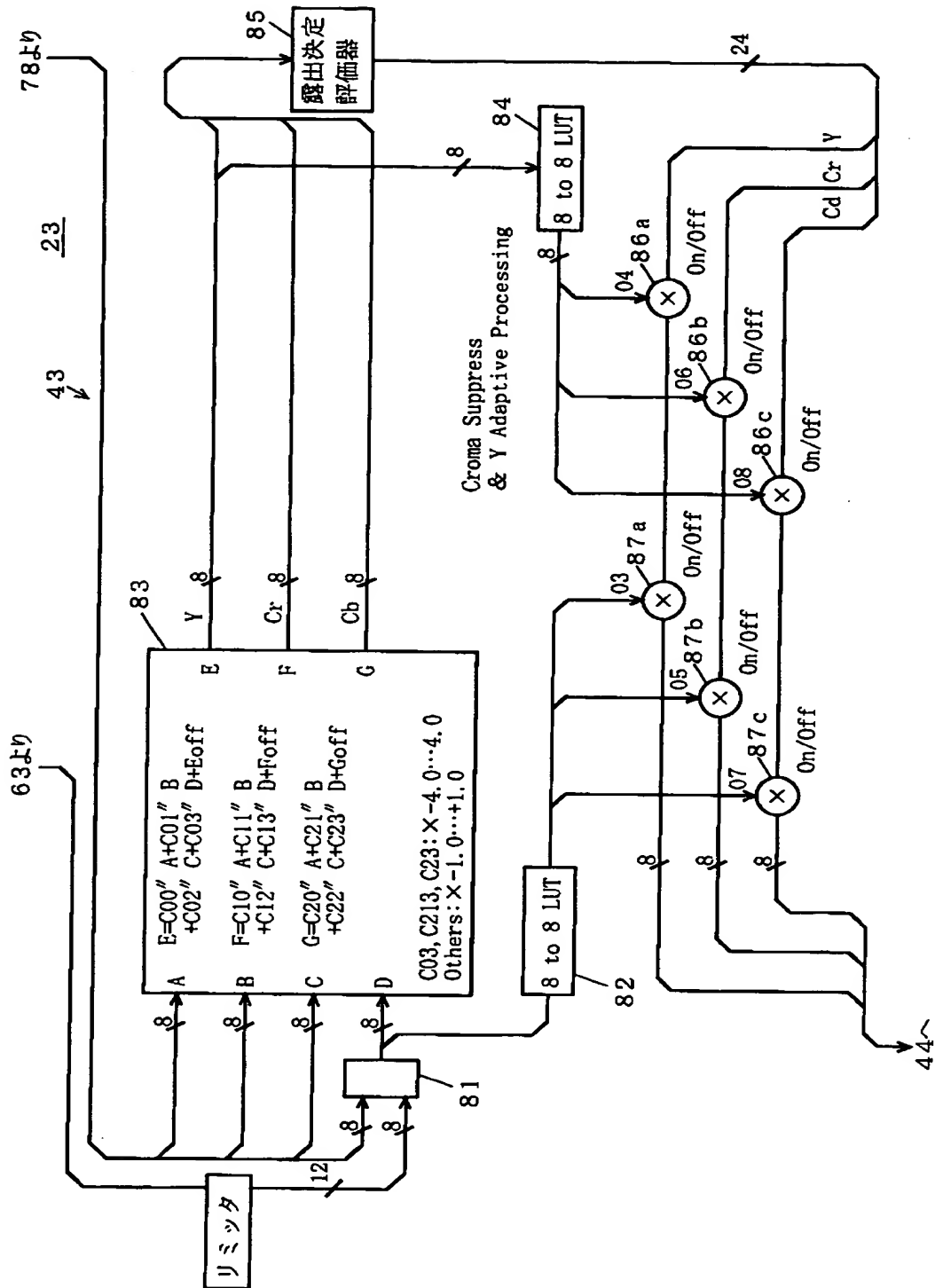
【図 17】



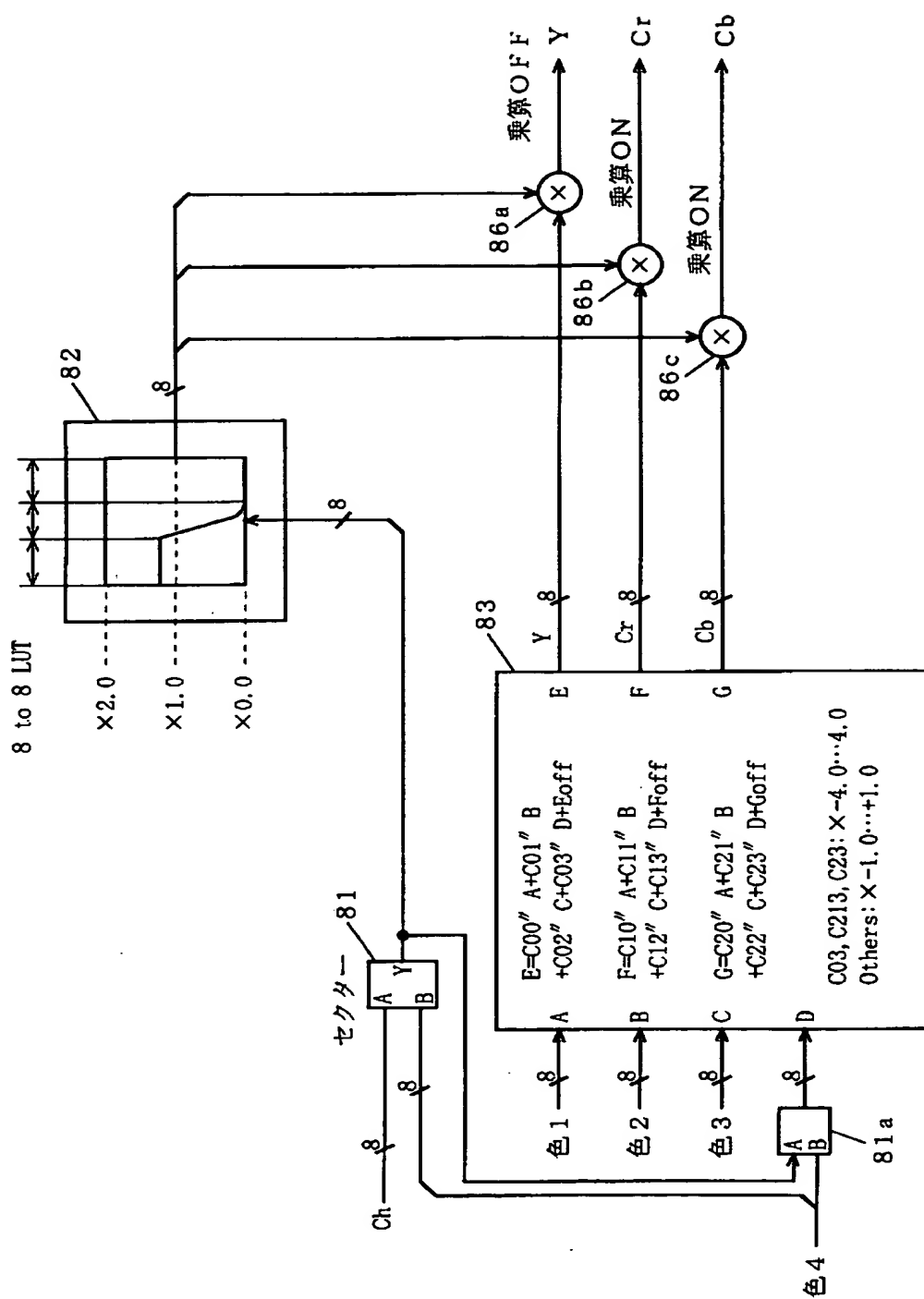
【图 18】



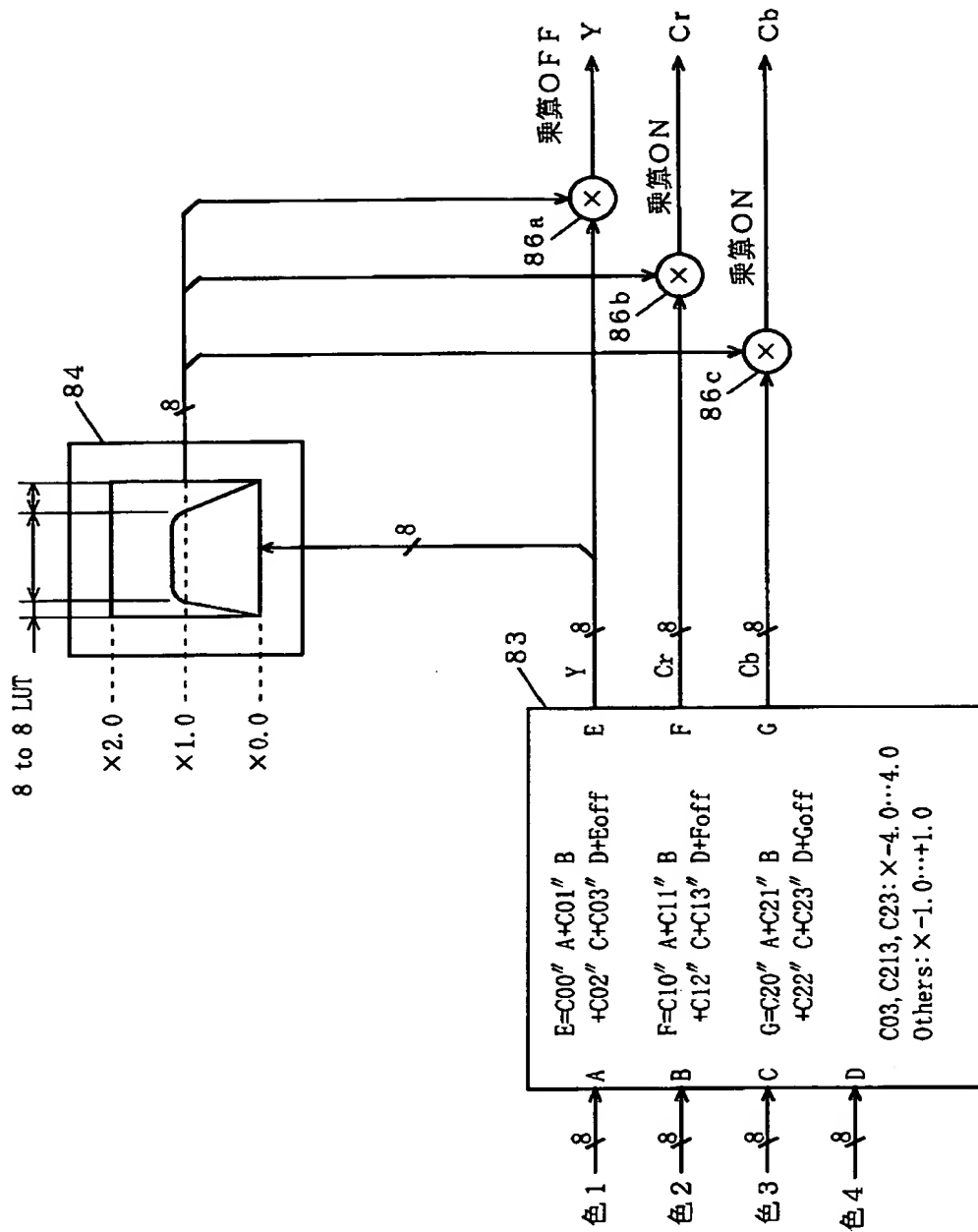
【図 19】



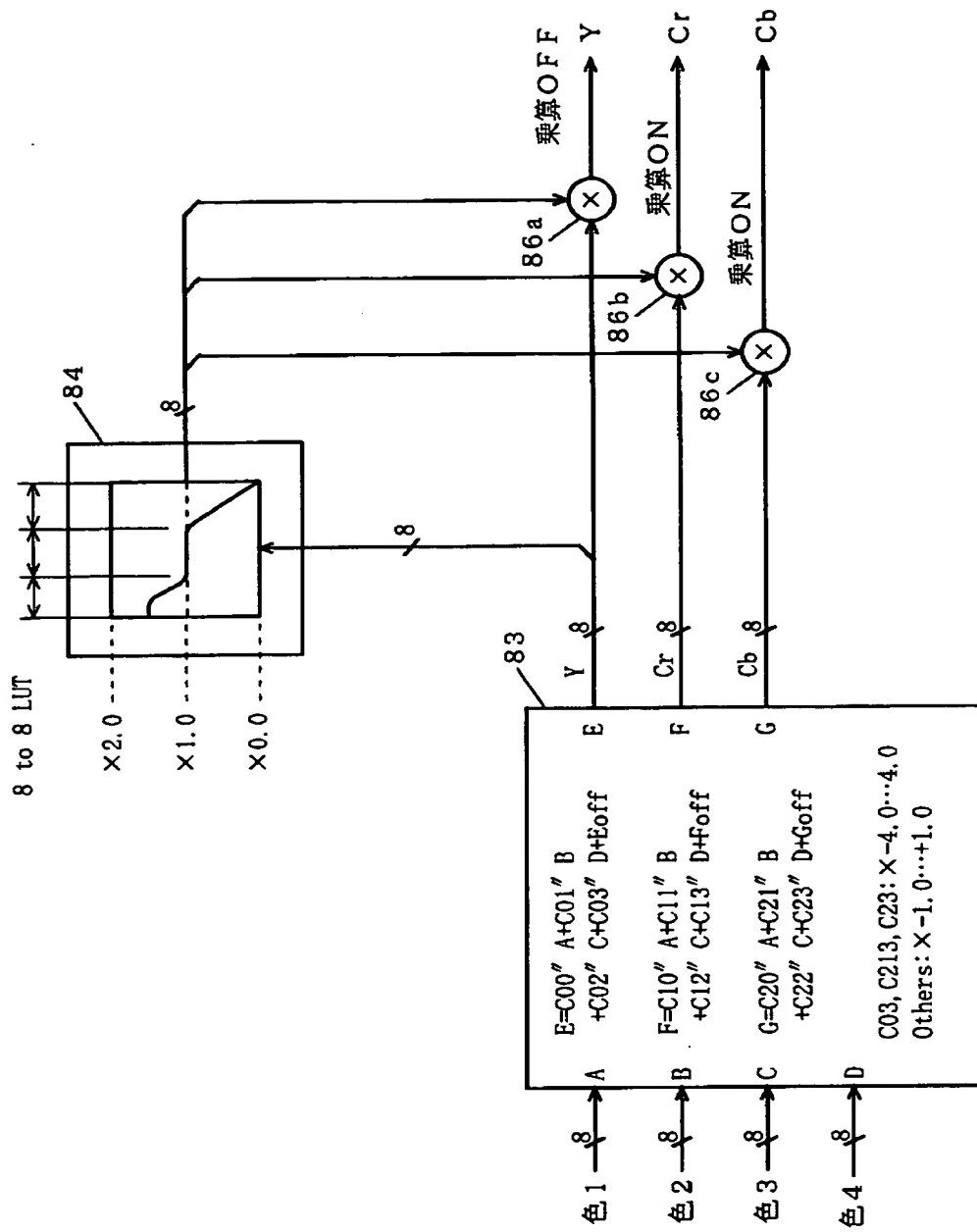
【図 20】



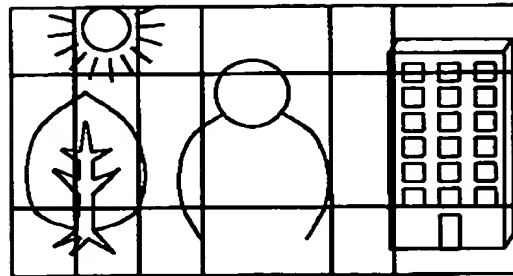
【図 2 1】



【図 2 2】

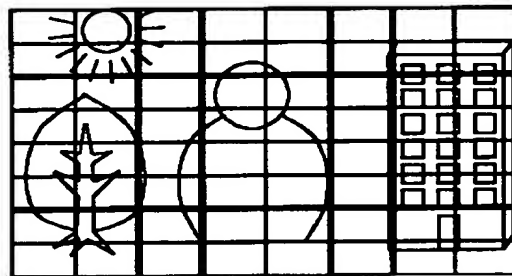


【図 2 3】



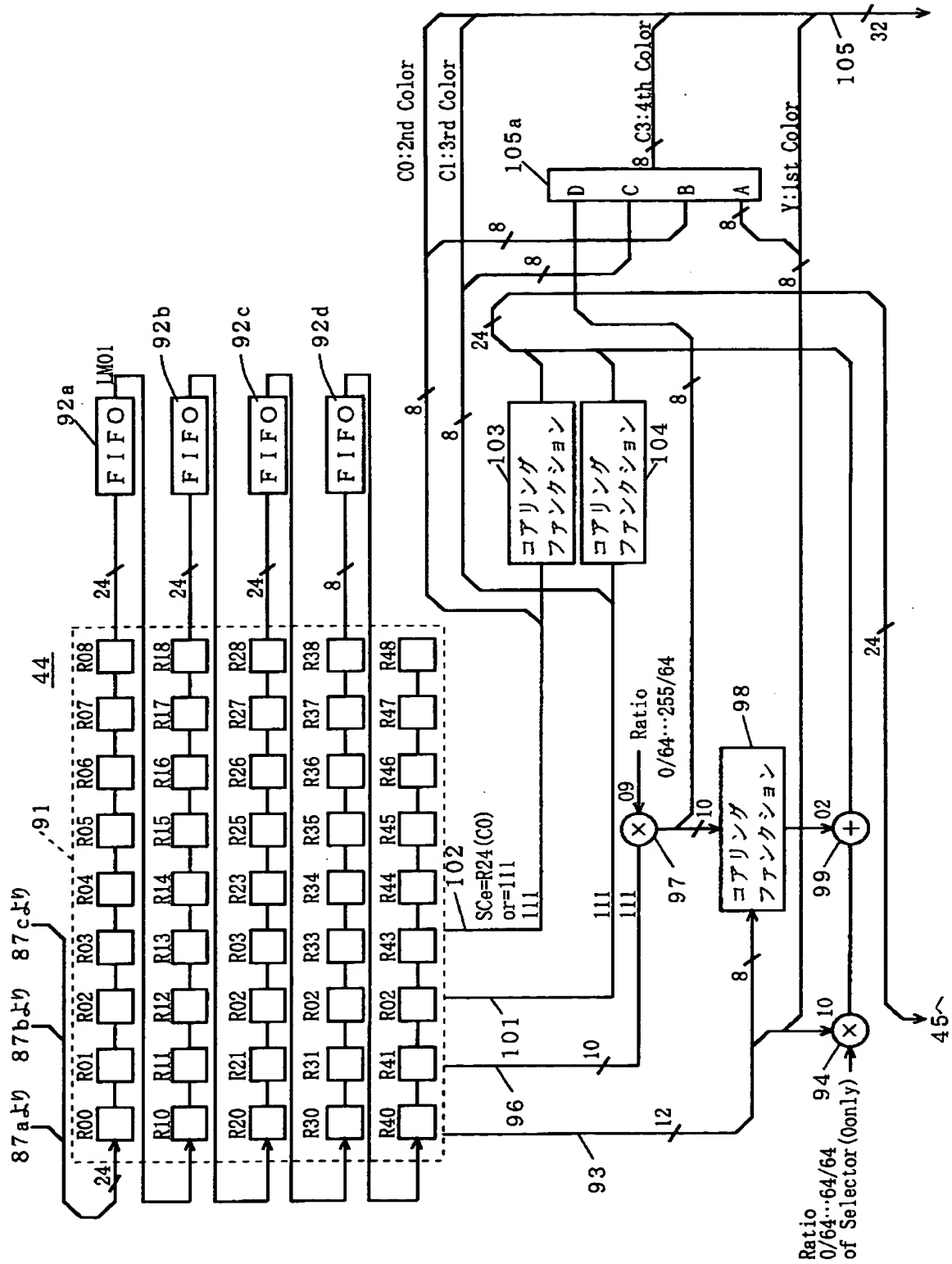
—— 任意境界ブロック

【図 2 4】

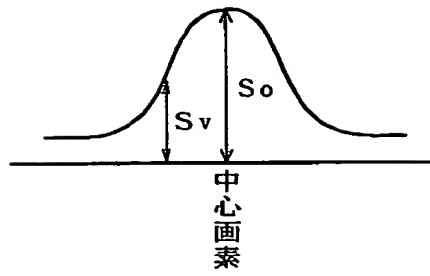


—— 最適化したブロック
—— 等間隔ブロック

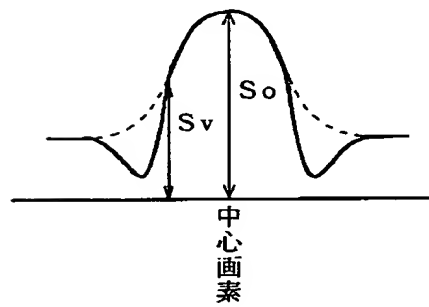
【图 25】



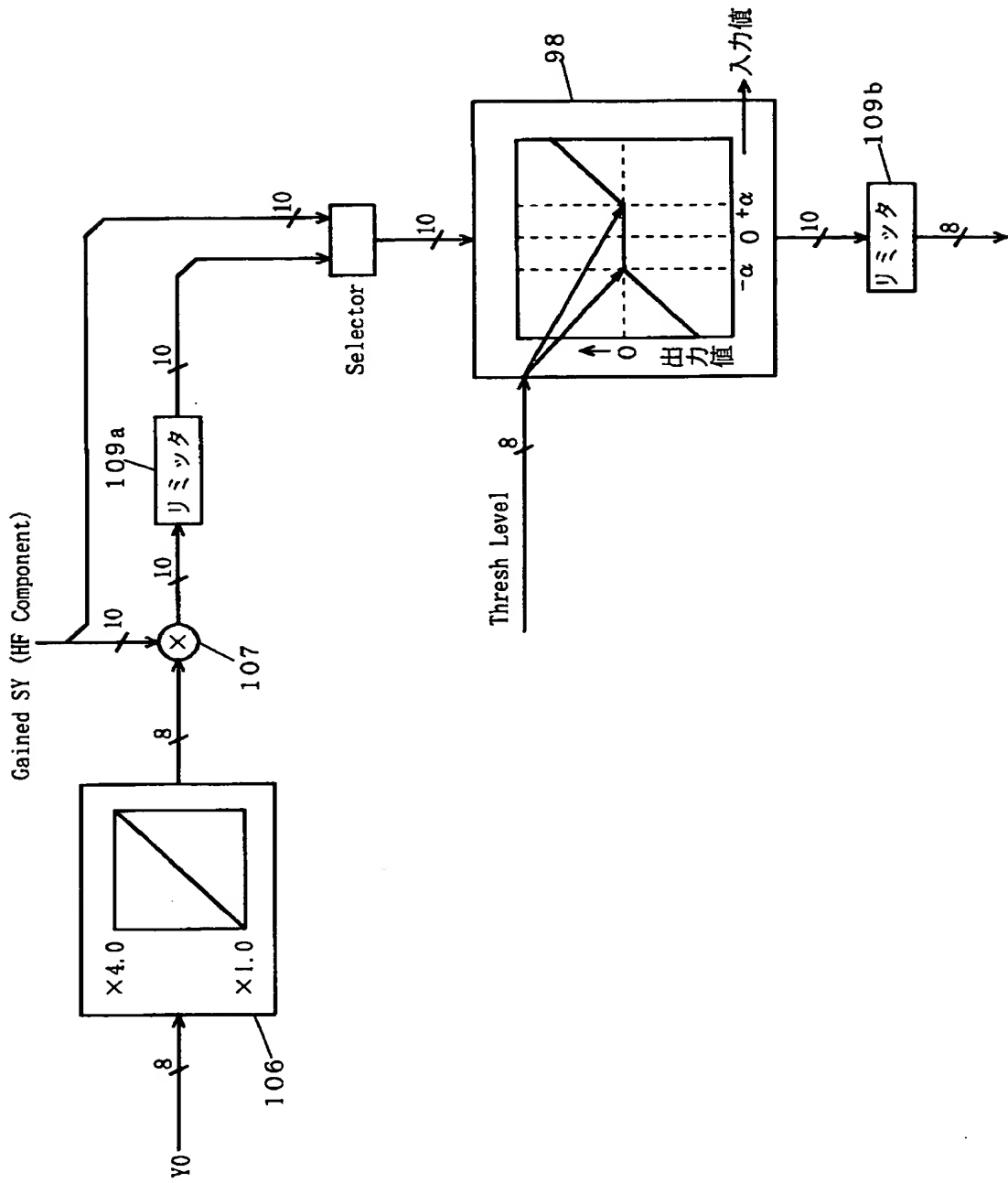
【図 2 6】



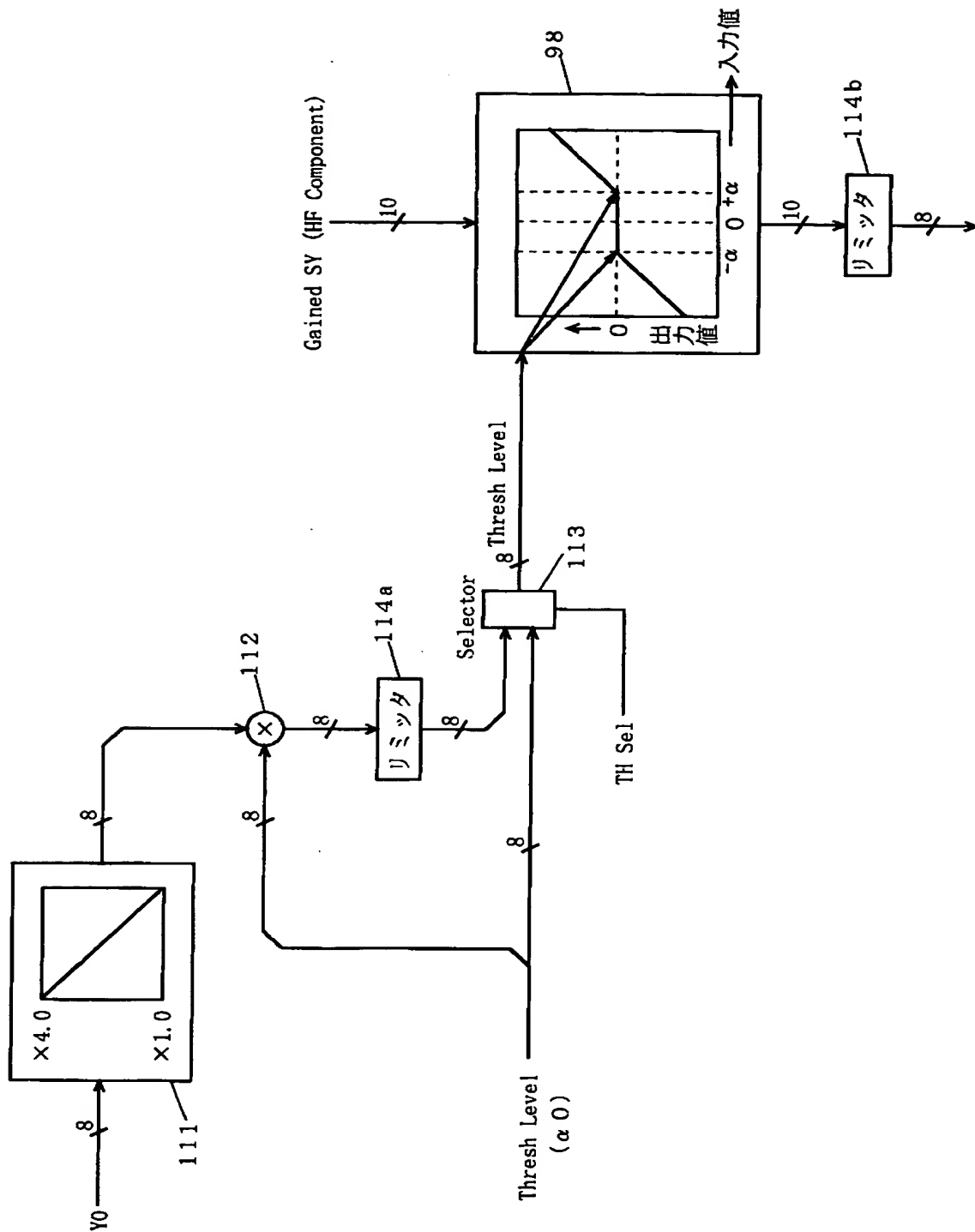
【図 2 7】



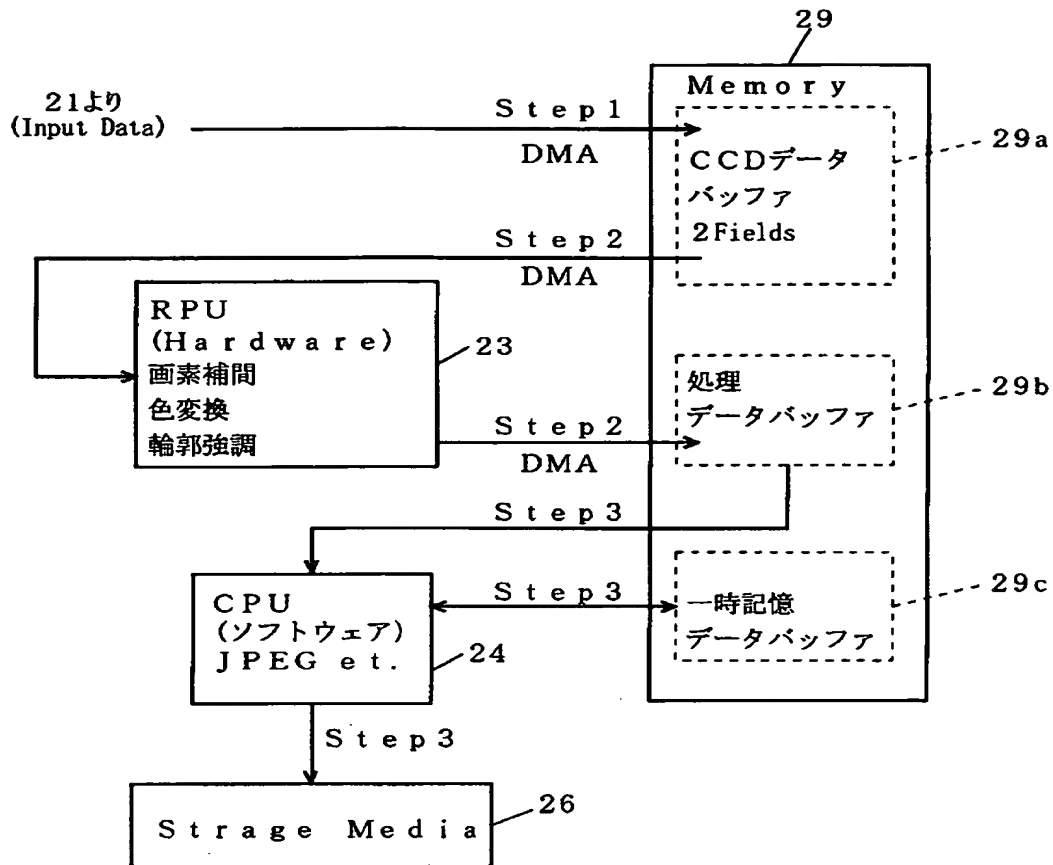
【図 2 8】



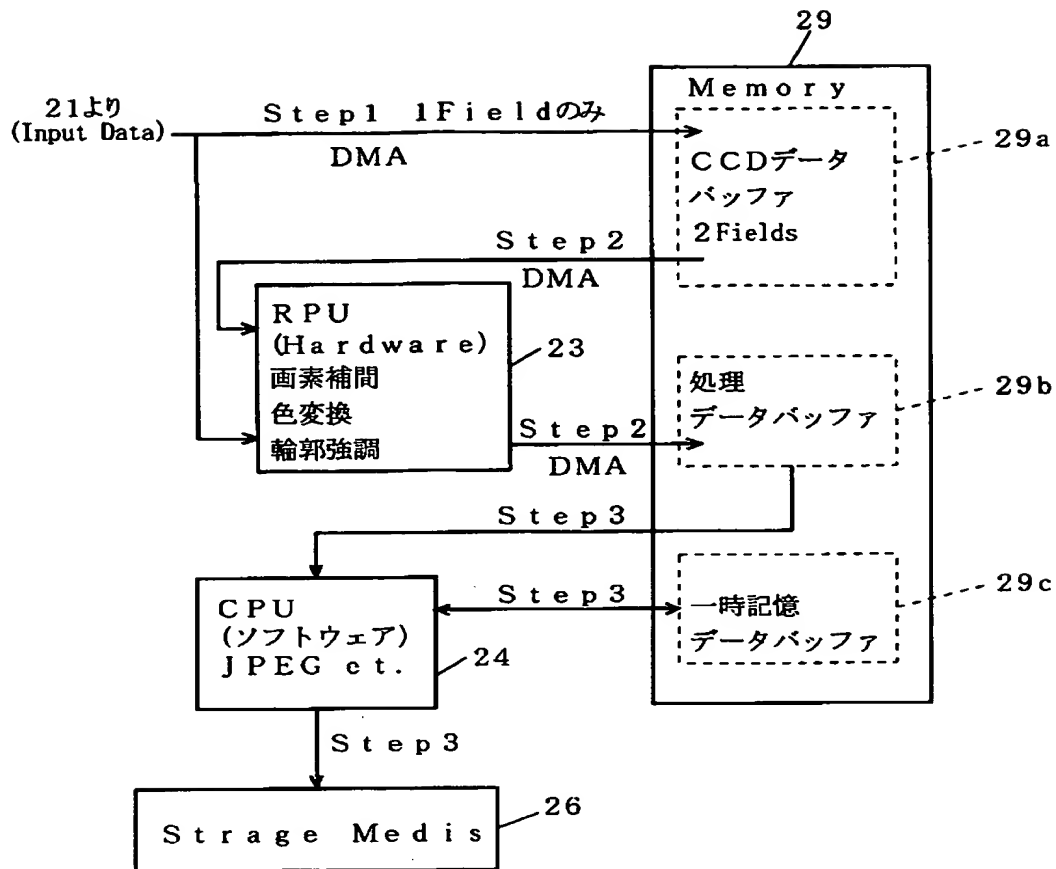
【図 29】



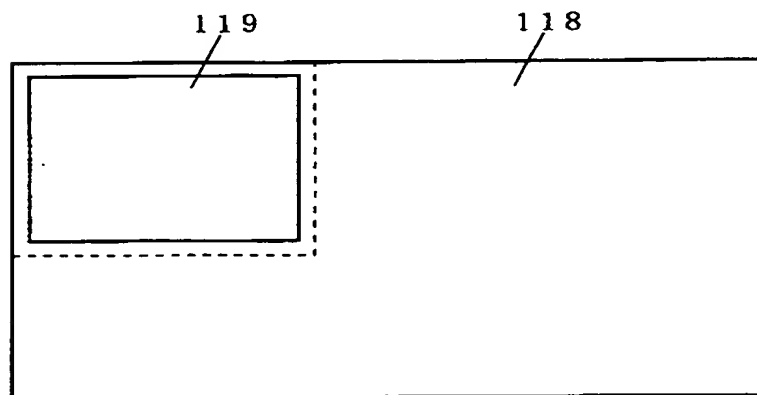
【図 3 0】



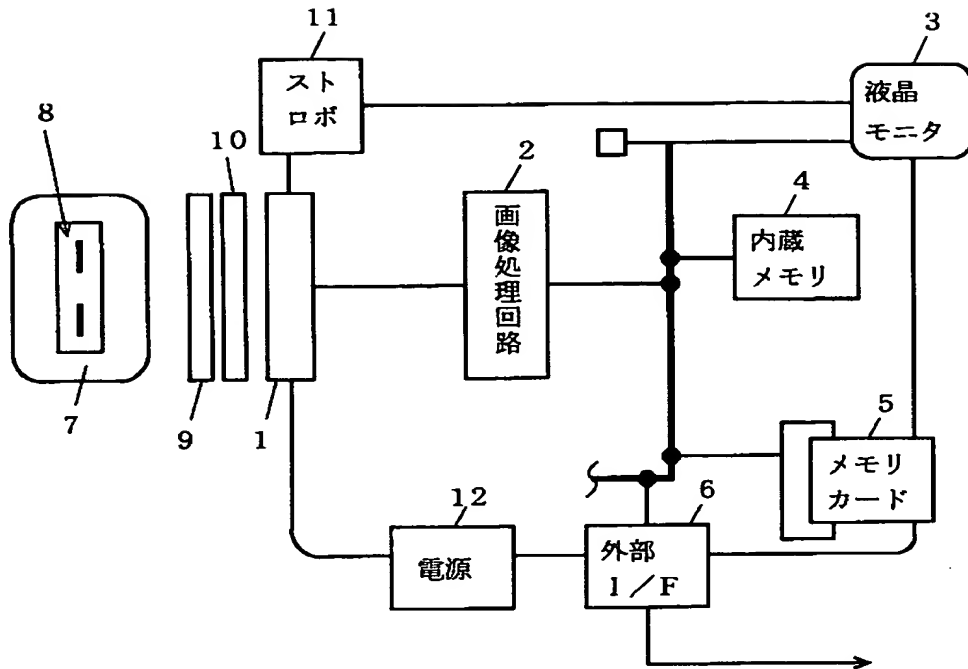
【図 3 1】



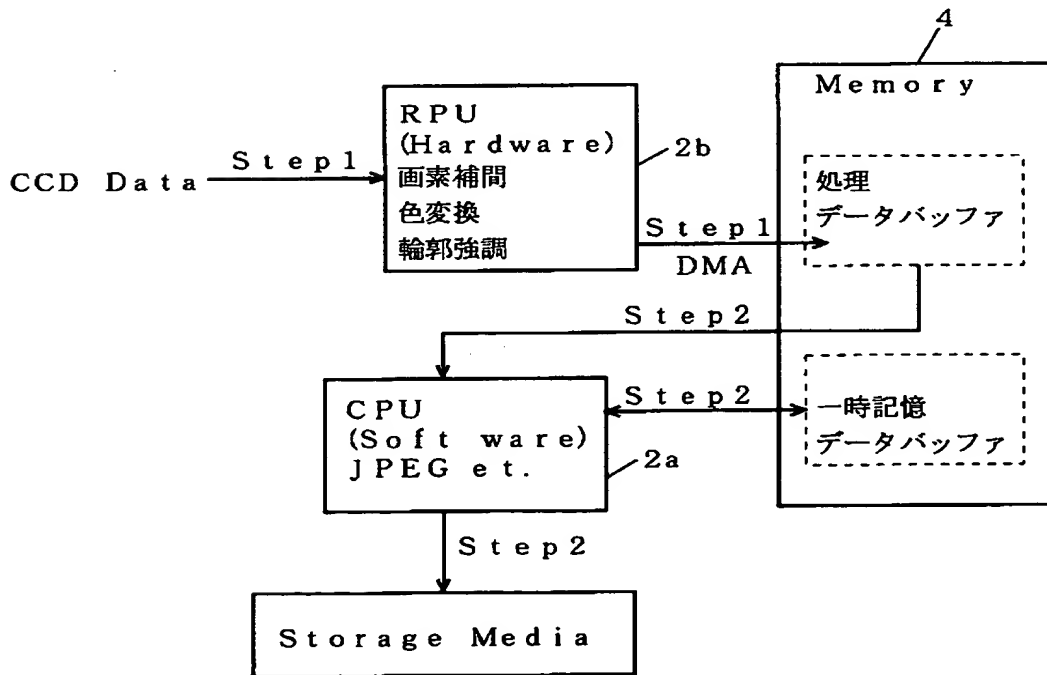
【図 3 2】



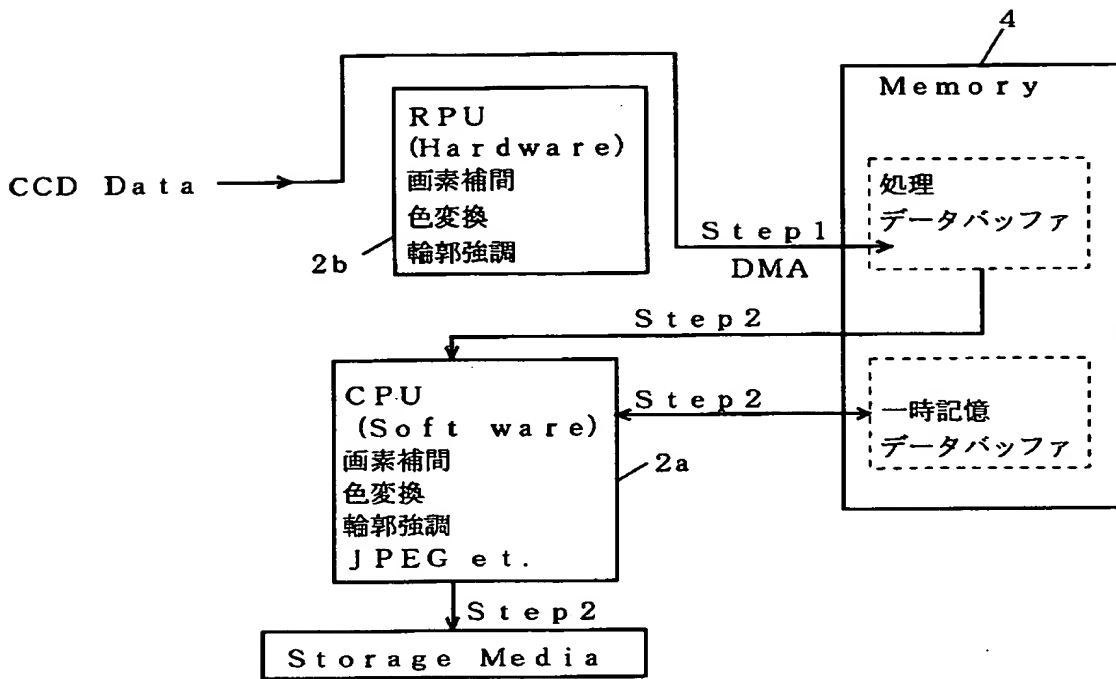
【図 33】



【図 34】



【図 35】



【書類名】 要約書

【要約】

【課題】 デジタルスチルカメラ等の画像入力装置において、高速化し且つ消費電力を低くする。

【解決手段】 CCD 2 1 からの画素データに実時間処理を施すための R P U 2 3 において、予め用意されない特殊な例外的画像処理だけを C P U 2 4 でソフトウェアプログラム処理し、その後に一般画像処理を行うポスト処理では、一旦主メモリ 2 9 に蓄えた画素データを再度 R P U 2 3 に入力して処理する。ソフトウェアプログラム処理で実行する場合に比較して大幅に高速化し、C P U 2 4 での長時間にわたる処理を可久的に少なくして消費電力を減らす。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [591128453]

1. 変更年月日 1996年 1月25日

[変更理由] 住所変更

住 所 大阪市淀川区宮原4丁目5番36号
氏 名 株式会社メガチップス